

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of  
Inventor(s): YAMADA et al.

Appln. No.: \_\_\_\_\_  
Series Code    ↑                      ↑    Serial No.

Group Art Unit:    Not Yet Assigned

Filed: Herewith

Examiner:            Not Yet Assigned

Title: SEMICONDUCTOR DEVICE AND METHOD OF  
FABRICATING THE SAME

|                           |            |
|---------------------------|------------|
| Atty. Dkt.    P    284032 | 01F171     |
| M#                        | Client Ref |

Date: November 27, 2001

**SUBMISSION OF PRIORITY  
DOCUMENT IN ACCORDANCE  
WITH THE REQUIREMENTS OF RULE 55**

Hon. Asst Commissioner of Patents  
Washington, D.C. 20231

Sir:

Please accept the enclosed certified copy(ies) of the respective foreign application(s) listed below for which benefit under 35 U.S.C. 119/365 has been previously claimed in the subject application and if not is hereby claimed.

| <u>Application No.</u> | <u>Country of Origin</u> | <u>Filed</u>     |
|------------------------|--------------------------|------------------|
| 2000-371106            | JAPAN                    | December 6, 2000 |

Respectfully submitted,

Pillsbury Winthrop LLP  
Intellectual Property Group

1600 Tysons Boulevard  
McLean, VA 22102  
Tel: (703) 905-2000

Atty/Sec: DSL/vaw

|          |  |          |                |
|----------|--|----------|----------------|
| By Atty: | <u>Dale S. Lazar</u>   | Reg. No. | <u>28872</u>   |
| Sig:     |  | Fax:     | (703) 905-2500 |
|          |  | Tel:     | (703) 905-2126 |

10872 U.S. PRO  
09/993967  
11/27/01

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

Jc872 U.S. PTO  
09/993967  
11/27/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年12月 6日

出 願 番 号

Application Number:

特願2000-371106

出 願 人

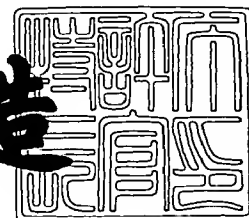
Applicant(s):

株式会社東芝

2001年 8月10日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3071538

【書類名】 特許願

【整理番号】 00P419

【提出日】 平成12年12月 6日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/00

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 12

【発明者】

    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝  
                                横浜事業所内

    【氏名】 山田 敬

【発明者】

    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝  
                                横浜事業所内

    【氏名】 梶山 健

【特許出願人】

    【識別番号】 000003078

    【氏名又は名称】 株式会社 東芝

【代理人】

    【識別番号】 100092820

    【弁理士】

    【氏名又は名称】 伊丹 勝

    【電話番号】 03-5216-2501

【手数料の表示】

    【予納台帳番号】 026893

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

特 2 0 0 0 - 3 7 1 1 0 6

【物件名】            要約書    1

【包括委任状番号】   9810498

【プルーフの要否】    要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上に絶縁膜により分離されて第 1 導電型の半導体層が形成された基板と、

前記半導体層の上面から前記絶縁膜の内部にまで達する深さをもって且つ、前記絶縁膜の上部で溝径が拡大された溝径拡大部を有するように形成された溝の前記溝径拡大部に前記半導体層の下面に接する状態で埋め込まれた不純物拡散源と

この不純物拡散源による前記半導体層の下面からの不純物拡散による第 2 導電型の第 1 拡散層、前記半導体層の上面からの不純物拡散による第 2 導電型の第 2 拡散層、及び前記不純物拡散源の上方の前記溝の側面にゲート絶縁膜を介して形成されたゲート電極を有するトランジスタと、

を備えたことを特徴とする半導体装置。

【請求項 2】 前記溝は、前記絶縁膜を貫通して前記半導体基板の内部に達する深さに形成され、且つ

前記絶縁膜の下部に前記溝の途中まで埋め込まれた蓄積電極を持つ、前記トランジスタと共に DRAMセルを構成するトレンチキャパシタが形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記蓄積電極上部の前記溝径拡大部に、前記トランジスタの第 1 拡散層の不純物拡散源となる埋め込みストラップが前記半導体層に対してその下面のみに接する状態で埋め込み形成され、この埋め込みストラップがキャップ絶縁膜で覆われ、このキャップ絶縁膜上に前記トランジスタのゲート電極が埋め込まれている

ことを特徴とする請求項 2 記載の半導体装置。

【請求項 4】 前記埋め込みストラップは、前記キャップ絶縁膜の直下に埋め込まれた第 1 のストラップ膜と、この第 1 のストラップ膜に接して前記溝径拡大部に前記半導体層に対してその下面のみに接する状態で埋め込まれた第 2 のストラップ膜とから構成されている

ことを特徴とする請求項 3 記載の半導体装置。

【請求項 5】 前記溝の溝径拡大部は、前記絶縁膜の厚みの全範囲にわたって形成され、前記キャパシタの蓄積電極が前記溝径拡大部の途中まで埋め込まれ、前記埋め込みストラップは前記蓄積電極上に前記半導体層に対してその下面のみに接する状態に埋め込まれている

ことを特徴とする請求項 3 記載の半導体装置。

【請求項 6】 前記半導体層は、二つの D R A M セルが両端部に配置されるように、前記絶縁膜に達する深さに埋め込み形成された素子分離絶縁膜により複数の島状素子領域に区画され、前記トランジスタのゲート電極に接続されたワード線が一方向に連続的に配設され、前記トランジスタの第 2 拡散層に接続されたビット線が前記ワード線と交差して配設されて D R A M セルアレイが構成されている

ことを特徴とする請求項 2 記載の半導体装置。

【請求項 7】 前記ビット線は、前記各島状素子領域の両端部のワード線に隣接する位置で各 D R A M セル毎に前記第 2 拡散層にコンタクトし、且つ前記島状素子領域の中央部を横切って前記半導体層にコンタクトして前記半導体層に固定電位を与えるためのボディ配線が形成されている

ことを特徴とする請求項 6 記載の半導体装置。

【請求項 8】 前記半導体層は、二つの D R A M セルが両端部に配置されるように、前記絶縁膜に達しない深さに埋め込み形成された素子分離絶縁膜により複数の島状素子領域に区画され、前記トランジスタのゲート電極に接続されたワード線が一方向に連続的に配設され、前記トランジスタの第 2 拡散層に接続されたビット線が前記ワード線と交差して配設されて D R A M セルアレイが構成されている

ことを特徴とする請求項 2 記載の半導体装置。

【請求項 9】 半導体基板上に絶縁膜により分離されて第 1 導電型の半導体層が形成された基板に、前記半導体層を貫通して前記絶縁膜の内部に達する深さの溝を形成する工程と、

前記溝に露出した前記絶縁膜を選択エッチングして、前記半導体層の下面を露

出させる溝径拡大部を形成する工程と、

前記溝の溝径拡大部に前記半導体層の下面にのみ接する状態で不純物拡散源を埋め込み形成する工程と、

前記溝にゲート絶縁膜を介してゲート電極を埋め込み形成する工程と、

前記半導体層に、上面からの不純物拡散及び前記不純物拡散源による下面からの不純物拡散によりソース、ドレイン拡散層を形成する工程と  
を有することを特徴とする半導体装置の製造方法。

【請求項 1 0】 半導体基板上に絶縁膜により分離されて第 1 導電型の半導体層が形成された基板に、前記半導体層及び前記絶縁膜を貫通して前記半導体基板の内部に達する深さの溝を形成する工程と、

前記溝内にキャパシタ絶縁膜を介して蓄積電極を埋め込む工程と、

前記蓄積電極上方の前記溝の側面に露出した前記絶縁膜をエッチングして前記半導体層の下面を露出させる溝径拡大部を形成する工程と、

前記溝の溝径拡大部に前記蓄積電極に重なり且つ、前記半導体層の下面にのみ接する状態で不純物がドーピングされた埋め込みストラップを形成する工程と、

前記埋め込みストラップをキャップ絶縁膜で覆う工程と、

前記キャップ絶縁膜上方の前記溝の側面にゲート絶縁膜を形成した後、前記溝にゲート電極を埋め込む工程と、

前記半導体層に、上面からの不純物拡散及び前記埋め込みストラップによる下面からの不純物拡散によりソース、ドレイン拡散層を形成する工程と  
を有することを特徴とする半導体装置の製造方法。

【請求項 1 1】 半導体基板上に絶縁膜により分離されて第 1 導電型の半導体層が形成された基板に、前記半導体層及び前記絶縁膜を貫通して前記半導体基板の内部に達する深さの溝を形成する工程と、

前記溝内にキャパシタ絶縁膜を介して蓄積電極を埋め込む工程と、

前記蓄積電極上に不純物がドーピングされた第 1 のストラップ膜を埋め込む工程と、

前記第 1 のストラップ膜上方の前記溝の側面に露出した前記絶縁膜をエッチングして前記半導体層の下面を露出させる溝径拡大部を形成する工程と、

前記溝の溝径拡大部に前記第 1 のストラップ膜に重なり且つ、前記半導体層に対してその下面にのみ接する状態で不純物がドーピングされた第 2 のストラップ膜を埋め込む工程と、

前記第 2 のストラップ膜をキャップ絶縁膜で覆う工程と、

前記キャップ絶縁膜上方の前記溝の側面にゲート絶縁膜を形成した後、前記溝にゲート電極を埋め込む工程と、

前記半導体層に、上面からの不純物拡散及び前記第 2 のストラップ膜による下面からの不純物拡散によりソース、ドレイン拡散層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 1 2】 半導体基板上に絶縁膜により分離されて第 1 導電型の半導体層が形成された基板に、前記半導体層及び前記絶縁膜を貫通して前記半導体基板の内部に達する深さの溝を形成する工程と、

前記溝の側面に露出する前記絶縁膜をエッチングして前記半導体層の下面を露出させる溝径拡大部を形成する工程と、

前記溝内にキャパシタ絶縁膜を介して前記溝径拡大部の途中までの深さに蓄積電極を埋め込む工程と、

前記蓄積電極上の前記溝径拡大部に前記蓄積電極に重なり且つ、前記半導体層に対してその下面にのみ接する状態で不純物がドーピングされた埋め込みストラップを形成する工程と、

前記埋め込みストラップをキャップ絶縁膜で覆う工程と、

前記キャップ絶縁膜上方の前記溝の側面にゲート絶縁膜を形成した後、前記溝にゲート電極を埋め込む工程と、

前記半導体層に、上面からの不純物拡散及び前記埋め込みストラップによる下面からの不純物拡散によりソース、ドレイン拡散層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置とその製造方法に係り、特にトレンチキャパシタと縦



型トランジスタにより構成されるD R-A Mセルを持つ半導体装置とその製造方法に関する。

## 【 0 0 0 2 】

## 【従来の技術】

1 トランジスタ／1 キャパシタにより構成されるメモリセルを用いたD R A M は、高集積化の一途を辿っており、世代毎にセル面積の縮小が図られている。セル面積を縮小するためには、基本的に、構成要素であるトランジスタとキャパシタの占有面積をそれぞれ低減する必要がある。キャパシタに関しては、小さいセル占有面積のなかで如何に必要とするキャパシタ容量を確保するかが問題であり、キャパシタ絶縁膜の高誘電率化や実効キャパシタ面積増大のための構造等が世代毎に開発されている。トランジスタに関しては、平面構造のまま、ソース、ドレイン拡散層深さやゲート絶縁膜厚の低減、基板不純物濃度の増加等、スケーリング則を基本として微細化が行われてきた。

## 【 0 0 0 3 】

今後更にトランジスタを微細化するためには、チャネル長の縮小と共にしきい値が低下してしまう現象（短チャネル効果）を抑制すべく、ゲート絶縁膜の薄膜化と基板不純物濃度の高濃度化が必要不可欠となる。しかし、基板不純物濃度を高めると、基板とストレージノードとの間の接合リークが増大し、メモリセルのデータ保持能力が低下することが知られている（例えば、T.Hamamoto et al., "Well concentration: A novel scaling limitation factor derived from DRAM retention time and its modeling", IEDM Tech.Dig., p.915, 1995）。

## 【 0 0 0 4 】

また、ゲート絶縁膜を薄膜化する場合、ゲート絶縁膜の耐圧を確保するためにワード線電圧の低電圧化が必要になる。しかし、D R A M のメモリセルに用いるトランジスタはキャパシタに蓄えられた電荷を長く保持できるように、通常のロジックに比べてオン時のリーク電流を低くする必要があるため、しきい値を高め設定しなければならない。そして、しきい値が高いままワード線電圧を下げると、キャパシタへの書き込み信号量が低下し、動作マージンが劣化する危険性がある。

## 【 0 0 0 5 】

これらの問題を解決する高密度 D R A M 用セルの構造として、基板に形成したトレンチの下部にキャパシタを形成し、上部にトレンチ側面をチャネルとする縦型トランジスタを形成する構造が提案されている (U.Gruening et al., "A Novel Trench DRAM Cell with a VERTICAL Access Transistor and BuriEd Strap (VER I BEST) for 4Gb/16Gb", IEDM Tech. Dig., 1999)。

## 【 0 0 0 6 】

上記文献で提案されている D R A M セルのビット線方向の断面構造を図 2 8 に示す。基板 1 は、キャパシタ C を形成する下部に n 型層が埋め込まれており、上部のトランジスタ Q が形成される部分が p 型層である。この基板 1 に、n 型層に達するトレンチ 1 が形成され、このトレンチ 1 の下部にキャパシタ絶縁膜 2 を有するキャパシタ C が形成される。キャパシタ C の蓄積電極上には、これに連続する埋め込みストラップ 3 が形成される。

## 【 0 0 0 7 】

埋め込みストラップ 3 は、キャパシタ C とその上部に形成されるトランジスタ Q の接続ノードであり且つ、トランジスタ Q の下部の拡散層 5 の不純物拡散源でもある。埋め込みストラップ 3 上はキャップ絶縁膜 4 で覆われ、この上のトレンチ側壁を利用して縦型のトランジスタ Q が形成される。p 型層の上面から形成された拡散層 6 と、埋め込みストラップ 3 からの不純物拡散により形成された拡散層 5 がトランジスタのソース、ドレインとなる。

## 【 0 0 0 8 】

トランジスタ Q のゲート電極と一体にワード線 W L が形成される。折り返しビット線構造の場合、ワード線 W L に隣接して、隣接セルのパスワード線 P a s s W L が配置される。この場合ビット線 B L は、P a s s W L の間で、拡散層 6 にコンタクトさせることになる。

## 【 0 0 0 9 】

## 【発明が解決しようとする課題】

この様に、図 2 8 の D R A M セルは、従来のトレンチキャパシタの上部にゲート電極を埋め込むことで、従来の D R A M セルとほぼ同様の方法で縦型トランジ

スタを形成している。これにより、トランジスタのチャンネル長は、セル占有面積と関係なく深さ方向に確保することができる。従って、短チャンネル効果に影響されることなく、セル占有面積を小さくすることができる。

#### 【 0 0 1 0 】

しかし、上述のDRAMセルでは、埋め込みストラップ3の上面位置が、多結晶シリコンの埋め込み工程のエッチバック深さで決定されるため、縦型トランジスタQのチャンネル長がエッチバックプロセスによりばらつく。従って、トランジスタ特性のばらつきが問題になる。

#### 【 0 0 1 1 】

この発明は、上記事情を考慮してなされたもので、特性のばらつきが小さい縦型トランジスタを持つ半導体装置とその製造方法を提供することを目的としている。

#### 【 0 0 1 2 】

##### 【課題を解決するための手段】

この発明に係る半導体装置は、半導体基板上に絶縁膜により分離されて第1導電型の半導体層が形成された基板と、前記半導体層の上面から前記絶縁膜の内部にまで達する深さをもって且つ、前記絶縁膜の上部で溝径が拡大された溝径拡大部を有するように形成された溝の前記溝径拡大部に前記半導体層の下面に接する状態で埋め込まれた不純物拡散源と、この不純物拡散源による前記半導体層の下面からの不純物拡散による第2導電型の第1拡散層、前記半導体層の上面からの不純物拡散による第2導電型の第2拡散層、及び前記不純物拡散源の上方の前記溝の側面にゲート絶縁膜を介して形成されたゲート電極を有するトランジスタと、を備えたことを特徴とする。

#### 【 0 0 1 3 】

この発明によると、半導体基板上に絶縁膜により分離されて第1導電型の半導体層が形成された基板（いわゆるSOI (Silicon On Insulator) 基板）を用いて、溝の側面に形成される縦型トランジスタのソース、ドレインは、半導体層の下面から上方への不純物拡散と上面から下方への不純物拡散により形成されるようにしている。従って、縦型トランジスタのチャンネル長は、半導体層の厚みと上下

面からの不純物拡散深さにより決まり、下部の不純物拡散源となる埋め込み層のエッチバック工程のばらつきの影響を受けない。

## 【 0 0 1 4 】

この発明を D R A M に適用した場合には、溝は、絶縁膜を貫通して半導体基板の内部に達する深さに形成され、且つ絶縁膜の下部に溝の途中まで埋め込まれた蓄積電極を持つ、トランジスタと共に D R A M セルを構成するトレンチキャパシタが形成される。またこの場合、蓄積電極上部の溝径拡大部に、トランジスタの第 1 拡散層の不純物拡散源となる埋め込みストラップが半導体層に対してその下面のみに接する状態で埋め込み形成され、この埋め込みストラップがキャップ絶縁膜で覆われ、このキャップ絶縁膜上にトランジスタのゲート電極が埋め込まれる。

## 【 0 0 1 5 】

具体的に埋め込みストラップは、例えば、キャップ絶縁膜の直下に埋め込まれた第 1 のストラップ膜と、この第 1 のストラップ膜に接して溝径拡大部に半導体層に対してその下面のみに接する状態で埋め込まれた第 2 のストラップ膜とから構成される。

或いはまた、溝の溝径拡大部が、絶縁膜の厚みの全範囲にわたって形成され、キャパシタの蓄積電極が溝径拡大部の途中まで埋め込まれ、埋め込みストラップは蓄積電極上に半導体層に対してその下面のみに接する状態に埋め込まれるようにしてもよい。

## 【 0 0 1 6 】

D R A M セルアレイを構成する場合、半導体層は、二つの D R A M セルが両端部に配置されるように、絶縁膜に達する深さに埋め込み形成された素子分離絶縁膜により複数の島状素子領域に区画される。そして、トランジスタのゲート電極に接続されたワード線が一方向に連続的に配設され、トランジスタの第 2 拡散層に接続されたビット線がワード線と交差して配設されて D R A M セルアレイが構成される。

## 【 0 0 1 7 】

このような D R A M セルアレイにおいて、セルアレイの基板電位を固定するため

には、例えばビット線を、各島状素子領域の両端部のワード線に隣接する位置で各DRAMセル毎に第2拡散層にコンタクトさせる。そして、島状素子領域の中央部を横切って、半導体層にコンタクトするボディコンタクト配線を形成すればよい。

或いはまた、素子分離絶縁膜を絶縁膜に達しない深さに形成すれば、各島状素子領域の半導体層は底部で連続するから、セルアレイ周辺で基板電位を容易に固定することができる。

#### 【0018】

この発明による半導体装置の製造方法は、半導体基板上に絶縁膜により分離されて第1導電型の半導体層が形成された基板に、前記半導体層を貫通して前記絶縁膜の内部に達する深さの溝を形成する工程と、前記溝に露出した前記絶縁膜を選択エッチングして、前記半導体層の下面を露出させる溝径拡大部を形成する工程と、前記溝の溝径拡大部に前記半導体層の下面にのみ接する状態で不純物拡散源を埋め込み形成する工程と、前記溝にゲート絶縁膜を介してゲート電極を埋め込み形成する工程と、前記半導体層に、上面からの不純物拡散及び前記不純物拡散源による下面からの不純物拡散によりソース、ドレイン拡散層を形成する工程とを有することを特徴とする。

#### 【0019】

この発明に係る半導体装置の製造方法はまた、半導体基板上に絶縁膜により分離されて第1導電型の半導体層が形成された基板に、前記半導体層及び前記絶縁膜を貫通して前記半導体基板の内部に達する深さの溝を形成する工程と、前記溝内にキャパシタ絶縁膜を介して蓄積電極を埋め込む工程と、前記蓄積電極上部の前記溝の側面に露出した前記絶縁膜をエッチングして前記半導体層の下面を露出させる溝径拡大部を形成する工程と、前記溝の溝径拡大部に前記蓄積電極に重なり且つ、前記半導体層の下面にのみ接する状態で不純物がドーピングされた埋め込みストラップを形成する工程と、前記埋め込みストラップをキャップ絶縁膜で覆う工程と、前記キャップ絶縁膜上方の前記溝の側面にゲート絶縁膜を形成した後、前記溝にゲート電極を埋め込む工程と、前記半導体層に、上面からの不純物拡散及び前記埋め込みストラップによる下面からの不純物拡散によりソース、ドレイ

ン拡散層を形成する工程とを有することを特徴とする。

【0020】

この発明に係る半導体装置の製造方法は更に、半導体基板上に絶縁膜により分離されて第1導電型の半導体層が形成された基板に、前記半導体層及び前記絶縁膜を貫通して前記半導体基板の内部に達する深さの溝を形成する工程と、前記溝内にキャパシタ絶縁膜を介して蓄積電極を埋め込む工程と、前記蓄積電極上に不純物がドーピングされた第1のストラップ膜を埋め込む工程と、前記第1のストラップ膜上方の前記溝の側面に露出した前記絶縁膜をエッチングして前記半導体層の下面を露出させる溝径拡大部を形成する工程と、前記溝の溝径拡大部に前記第1のストラップ材料膜に重なり且つ、前記半導体層に対してその下面にのみ接する状態で不純物がドーピングされた第2のストラップ膜を埋め込む工程と、前記第2のストラップ膜をキャップ絶縁膜で覆う工程と、前記キャップ絶縁膜上方の前記溝の側面にゲート絶縁膜を形成した後、前記溝にゲート電極を埋め込む工程と、前記半導体層に、上面からの不純物拡散及び前記第2のストラップ膜による下面からの不純物拡散によりソース、ドレイン拡散層を形成する工程とを有することを特徴とする。

【0021】

この発明に係る半導体装置の製造方法は更に、半導体基板上に絶縁膜により分離されて第1導電型の半導体層が形成された基板に、前記半導体層及び前記絶縁膜を貫通して前記半導体基板の内部に達する深さの溝を形成する工程と、前記溝の側面に露出する前記絶縁膜をエッチングして前記半導体層の下面を露出させる溝径拡大部を形成する工程と、前記溝内にキャパシタ絶縁膜を介して前記溝拡大部の途中までの深さに蓄積電極を埋め込む工程と、前記蓄積電極上の前記溝径拡大部に前記蓄積電極に重なり且つ、前記半導体層に対してその下面にのみ接する状態で不純物がドーピングされた埋め込みストラップを形成する工程と、前記埋め込みストラップをキャップ絶縁膜で覆う工程と、前記キャップ絶縁膜上方の前記溝の側面にゲート絶縁膜を形成した後、前記溝にゲート電極を埋め込む工程と、前記半導体層に、上面からの不純物拡散及び前記埋め込みストラップによる下面からの不純物拡散によりソース、ドレイン拡散層を形成する工程とを有することを

特徴とする。

#### 【 0 0 2 2 】

##### 【 発 明 の 実 施 の 形 態 】

以下、図面を参照して、この発明の実施の形態を説明する。

##### 【 実 施 の 形 態 1 】

図 1 は、この発明を 1 / 2 ピッチの折り返しビット線構造の D R A M セルアレイに適用した実施の形態の平面図であり、図 2 及び図 3 はそれぞれ、図 1 の A - A ' 断面図及び B - B ' 断面図である。

#### 【 0 0 2 3 】

この実施の形態では、 n 型単結晶シリコン基板 1 1 上に、シリコン酸化膜 1 2 等の絶縁膜により分離された p 型単結晶シリコン層 1 3 が形成された S O I 基板 1 0 を用いている。シリコン層 1 3 の厚みは、トランジスタのチャネル長を規定することになるので、予め一定値に調整されている必要がある。最近市販されている S O I 基板は、シリコン層の厚みが数 % 以内のばらつきで供給されているので、市販の S O I 基板を用い得る。この S O I 基板 1 0 に、 p 型シリコン層 1 3 及びシリコン酸化膜 1 2 を貫通し、 n 型シリコン基板 1 1 の内部に達する深さの溝 2 0 が形成され、この溝 2 0 の下部にトレンチキャパシタ C が形成され、上部にトランジスタ Q が形成されている。

#### 【 0 0 2 4 】

S O I 基板 1 0 の p 型シリコン層 1 3 は、 S T I (Shallow Trench Isolation) 法により埋め込まれた素子分離絶縁膜 4 0 によって、隣接する二つのセル領域となる矩形の島状素子領域 1 4 に区画される。図 1 に示すように、キャパシタ C は、各島状素子領域 1 4 の端部に埋め込み形成され、このキャパシタ C に重なるように、島状素子領域 1 4 の端部側面にトランジスタ Q が形成される。但し、実際の製造工程では、島状素子領域 1 4 を区画する前に、溝 2 0 にキャパシタ C 及びトランジスタ Q が形成されることになる。

#### 【 0 0 2 5 】

キャパシタ C は溝 2 0 の下部側壁に、例えば O N (O x i d e / N i t r i d e) 膜によりキャパシタ絶縁膜 2 1 を形成し、更にこの溝 2 0 に n 型多結晶シリ

コン層からなる蓄積電極 2 2 を埋め込んで作られる。キャパシタ C は、n 型シリコン基板 1 1 を全メモリセルに共通のプレート電極として構成される。蓄積電極 2 2 の上端は、シリコン酸化膜 1 2 の厚みの途中に位置する。この蓄積電極 2 2 とトランジスタ Q を接続するための埋め込みストラップ 2 3 は、蓄積電極 2 2 上に連続するように n 型多結晶シリコン等により形成される。

## 【 0 0 2 6 】

埋め込みストラップ 2 3 は、トランジスタ Q の下部の  $n^+$  型拡散層 3 1 の不純物拡散源としても用いられており、このとき不純物は埋め込みストラップ 2 3 中若しくは蓄積電極 2 2 中から埋め込みストラップ 2 3 を介して p 型シリコン層 1 3 中へ拡散される。ここで重要なことは、埋め込みストラップ 2 3 が、p 型シリコン層 1 3 の下面のみに接するように埋め込まれることである。そのために、蓄積電極 2 2 が埋め込まれた溝 2 0 の上部には、シリコン酸化膜 1 2 を横方向にエッチングして後退させることによって径を拡大させた溝径拡大部 2 5 が設けられている。この溝径拡大部 2 5 に蓄積電極 2 2 に重なるように埋め込みストラップ 2 3 を、p 型シリコン層 1 3 に対してその下面のみに接する状態で埋め込んでいゝる。埋め込みストラップ 2 3 の上部は、キャップ絶縁膜 2 4 で覆われる。

## 【 0 0 2 7 】

キャップ絶縁膜 2 4 が埋め込まれた溝 2 0 の上部に露出する p 型シリコン層 1 3 の側面にゲート絶縁膜 3 0 が形成され、ゲート電極となる多結晶シリコン層 3 3 a が埋め込まれる。p 型シリコン層 1 3 の溝 2 0 に接する上面からトランジスタ Q の上部拡散層 3 2 が形成される。この様に、キャパシタ C が埋め込まれた溝 2 0 の上部に、p 型シリコン層 1 3 の上下面からの拡散によるソース、ドレイン拡散層 3 1, 3 2 が形成されて、縦型トランジスタ Q が作られる。

## 【 0 0 2 8 】

トランジスタ Q のゲート電極となる多結晶シリコン層 3 3 a は、その後の素子分離絶縁膜 4 0 の埋め込み工程で各素子領域毎に分離される。そして、この多結晶シリコン層 3 3 a に重なるように、多結晶シリコン層 3 3 b 及び W S i 2 層 3 4 が積層されて、この積層膜がパターン形成されてワード線 W L となる。ワード線上はシリコン窒化膜 3 6 と層間絶縁膜 3 7 で覆われ、この上にビット線 ( B L



） 3 8 が形成される。ビット線 3 8 は、島状素子領域 1 4 の中央部即ち二つの通過ワード線の間で  $n^+$  型拡散層 3 2 にコンタクトさせる。このビット線コンタクト B L C には、コンタクト孔を介して  $n^+$  型拡散層 3 2 に重なる  $n^+$  型拡散層 3 5 が形成され、そのコンタクト孔に例えばコンタクトプラグ 3 9 が埋め込まれる。

## 【 0 0 2 9 】

この実施の形態によると、S O I 基板を用いて、埋め込みストラップ 2 3 が p 型シリコン層 1 3 の下面のみに接するように、溝 2 0 の溝径拡大部 2 5 に埋め込まれる。そして、縦型トランジスタ Q の下部拡散層 3 1 は、埋め込みストラップ 2 3 からの上方拡散のみにより形成される。従って、縦型トランジスタ Q のチャネル長は、埋め込みストラップ 2 3 のエッチバック量の影響でばらつくことはない。言い換えれば、チャネル長の制御性は、S O I 基板 1 0 の p 型シリコン層 1 3 の膜厚のばらつきの範囲程度に向上する。

## 【 0 0 3 0 】

また、キャパシタ C の蓄積電極 2 2 はキャパシタ絶縁膜 2 1 によりシリコン基板 1 1 から絶縁分離され、各トランジスタ Q の拡散層もシリコン酸化膜 1 2 によりシリコン基板 1 1 から絶縁分離されている。このため、ソフトエラー耐性やノイズ耐性が高いものとなっている。更に、もし、シリコン酸化膜 1 2 がないとすると、図 2 8 の従来例に示すように、埋め込みストラップ 2 3 による寄生トランジスタを抑制するために、埋め込みストラップ 2 3 を形成する部分の側壁にある程度の厚みを持つ側壁絶縁膜の形成が不可欠になる。しかしこの実施の形態では、埋め込みストラップ 2 3 は、シリコン酸化膜 1 2 の内部に埋め込まれているから、寄生トランジスタを抑制するための格別の手当を必要としない。

## 【 0 0 3 1 】

次に、この実施の形態のセルアレイの製造工程を、図 2 の断面に着目して、図 4 ～図 9 を参照して説明する。図 4 は、キャパシタ C が形成された状態を示している。S O I 基板 1 0 にまず、バッファ酸化膜 4 1 とシリコン窒化膜 4 2 からなるマスクをパターン形成する。そして、R I E により S O I 基板 1 0 をエッチングして、n 型シリコン基板 1 1 の内部にまで達する深さの溝 2 0 を形成する。この後、図では示さないが、必要に応じて、溝 2 0 の底部からプレート電極を低抵

抗化するための  $n^+$  型拡散層を形成する。

#### 【 0 0 3 2 】

次いで、溝 2 0 の側壁に ON 膜等からなるキャパシタ絶縁膜 2 1 を形成した後、 $n$  型不純物がドーブされた多結晶シリコンを堆積し、RIE によりエッチバックして、溝 2 0 の途中まで埋め込む。これにより、蓄積電極 2 2 が形成される。蓄積電極 2 2 の上面は、SOI 基板 1 0 のシリコン酸化膜 1 2 の途中に位置するようにする。

#### 【 0 0 3 3 】

この後、図 5 に示すように、蓄積電極 2 2 の上方にあるキャパシタ絶縁膜 2 1 をエッチング除去し、更に溝 2 0 に露出しているシリコン酸化膜 1 2 を HF 溶液等によりエッチングして所定距離後退させて、 $p$  型シリコン層 1 3 の下面 4 3 を露出させた溝径拡大部 2 5 を形成する。

#### 【 0 0 3 4 】

そして、図 6 に示すように、再度  $n$  型不純物がドーブされた多結晶シリコン膜を堆積して溝 2 0 を埋め込み、これを RIE 等の異方性エッチングによりエッチバックして、蓄積電極 2 2 に重なる埋め込みストラップ 2 3 を形成する。埋め込みストラップ 2 3 は、その上面位置が  $p$  型シリコン層 1 3 の下面位置より低くなるように、言い換えれば、埋め込みストラップ 2 3 が  $p$  型シリコン層 1 3 に対してその下面のみに接する状態で溝径拡大部 2 5 に埋め込む。

#### 【 0 0 3 5 】

その後、図 7 に示すように、溝 2 0 に、埋め込みストラップ 2 3 を覆うシリコン酸化膜等のキャップ絶縁膜 2 4 を形成する。このキャップ絶縁膜 2 4 は、この上に埋め込み形成されるゲート電極と蓄積ノードとを分離するためのもので、シリコン酸化膜等の埋め込みによってもよいし、或いは埋め込みストラップ 2 3 の表面を酸化して得られるシリコン酸化膜やそれらの複合膜、更には、埋め込みストラップ 2 3 上にも形成れさることになるゲート絶縁膜で兼ねることもできる。

#### 【 0 0 3 6 】

そして、 $p$  型シリコン層 1 3 の上面にイオン注入により  $n^+$  型拡散層 3 2 を形成し、熱酸化により溝 2 0 の側面にゲート絶縁膜 3 0 を形成し、ゲート電極とな

る多結晶シリコン膜 33a を堆積する。ゲート絶縁膜 30 の熱酸化工程或いはそれ以降の熱工程で、埋め込みストラップ 23 の n 型不純物は p 型シリコン層 13 に上方拡散し、 $n^+$  型拡散層 31 が形成される。

## 【0037】

次いで、図 8 に示すように、STI 法による素子分離工程を行う。即ち、シリコン窒化膜 44 等によりマスクを形成し、多結晶シリコン膜 33a、ゲート絶縁膜 30、キャップ絶縁膜 24、p 型シリコン層 13 を RIE によりエッチングして素子分離溝を形成した後、シリコン酸化膜等の素子分離絶縁膜 40 を埋め込む。素子分離絶縁膜 40 は好ましくは、CMP 処理等により平坦化する。ここでは、素子分離溝を、シリコン酸化膜 12 に達する深さに形成しており、これにより二つの DRAM セルを形成する各島状素子領域 14 の p 型シリコン層 13 は、互いに他の島状素子領域 14 から絶縁分離される。

## 【0038】

この後、少なくとも溝 20 以外のシリコン窒化膜 44 をエッチング除去した後、図 9 に示すように、多結晶シリコン膜 33b、 $WSi_2$  膜 34、シリコン窒化膜 36 の積層膜を堆積し、これらの積層膜をパターニングして、ワード線 WL を形成する。

## 【0039】

そして、図 2 に示すように、ワード線 WL の側壁にもシリコン窒化膜を形成した後、層間絶縁膜 37 を堆積する。この層間絶縁膜 37 にワード線 WL にセルフアラインされたコンタクト孔を形成し、イオン注入により  $n^+$  型拡散層 35 を形成する。そして、コンタクト孔にコンタクトプラグ 39 を埋め込んだ後、ビット線 38 を形成する。

## 【0040】

この実施の形態の製造工程によれば、埋め込みストラップ 23 のエッチバックの制御は、p 型シリコン層 13 の厚みより深くすればよく、これにより埋め込みストラップ 23 は p 型シリコン層 13 の下面のみに接する状態になる。従ってトランジスタのチャネル長制御のために厳しいエッチバック量制御を行うという必要がなく、製造歩留まりは向上する。

## 【 0 0 4 1 】

この実施の形態において、電極材料や絶縁材料は一例であり、他に種々選択可能である。また前述のように、埋め込みストラップ 2 3 は、p 型シリコン層 1 3 の下面位置より深くエッチバックすることが重要であり、例えばキャパシタ C の蓄積電極 2 2 の上面に達するまでエッチバックしてもよい。但しこの場合、蓄積電極 2 2 の表面に予めエッチングストップのための薄いシリコン酸化膜等を形成しておくことが好ましい。これにより、蓄積電極 2 2 のエッチングを抑えることができる。

## 【 0 0 4 2 】

なおこの場合、埋め込みストラップ 2 3 としては、溝 2 0 の外側にシリコン酸化膜 1 2 の側方エッチングにより拵げた溝径拡大部 2 5 のみに残ることになり、キャパシタ C の蓄積電極 2 2 との電氣的接続が不十分になる可能性がある。これに対しては、図 5 の工程でキャパシタ絶縁膜 2 1 をオーバーエッチングして、蓄積電極 2 2 の側面に埋め込みストラップ 2 3 が接触するように、手当をしておくことが好ましい。

## 【 0 0 4 3 】

## 〔実施の形態 2〕

図 1 0 は、他の実施の形態による D R A M セルアレイの断面図を、先の実施の形態の図 2 に対応させて示している。平面図は、図 1 と同じである。先の実施の形態と異なるのは、埋め込みストラップ 2 3 が、2 層のストラップ膜である多結晶シリコン膜 2 3 a, 2 3 b により構成されている点である。これらの 2 層のうち、最初の多結晶シリコン層 2 3 a は、溝径拡大部 2 5 を形成する前に、キャパシタ C の蓄積電極 2 2 よりも上部の溝 2 0 の側壁に、キャパシタ絶縁膜がない状態で積層される。そして、溝径拡大部 2 5 を形成した後、第 2 層目の多結晶シリコン層 2 3 b が、p 型シリコン層 1 3 の下面のみに接する状態で溝径拡大部 2 5 に埋め込まれる。

## 【 0 0 4 4 】

この実施の形態の製造工程を説明すれば、図 4 までは先の実施の形態と同様である。この後、蓄積電極 2 2 上のキャパシタ絶縁膜 2 1 をエッチング除去した後

に、図 1 1 に示すように、n 型不純物をドーピングした多結晶シリコン膜 2 3 a を、堆積とエッチバックにより溝 2 0 に埋め込む。或いは、多結晶シリコン膜 2 3 a を蓄積電極 2 2 上に選択成長させる方法でもよい。このとき、多結晶シリコン膜 2 3 a の上面は、シリコン酸化膜 1 2 の途中に位置するようにする。

## 【 0 0 4 5 】

この状態で、図 1 2 に示すように、HF 溶液等による等方性エッチングにより、シリコン酸化膜 1 2 をエッチングして後退させる。これにより、p 型シリコン層 1 3 の下面 4 3 が露出する溝径拡大部 2 5 が形成される。そして、図 1 0 に示すように、多結晶シリコン膜 2 3 b を、堆積とエッチバックにより、p 型シリコン層 1 3 の下面にのみ接触するように埋め込む。このときエッチバックは、多結晶シリコン膜 2 3 a の上面が露出するまで行うことができる。

その後は、先の実施の形態と同様である。

## 【 0 0 4 6 】

この実施の形態によると、埋め込みストラップ 2 3 を 2 層の多結晶シリコン膜 2 3 a, 2 3 b により形成することにより、キャパシタ絶縁膜のオーバーエッチングを十分に行わなくても、蓄積電極 2 2 と埋め込みストラップ 2 3 の電氣的接続は確実になる。

## 【 0 0 4 7 】

## 〔実施の形態 3〕

図 1 3 は、他の実施の形態による DRAM セルアレイの断面図を、先の実施の形態の図 2 に対応させて示している。平面図は、図 1 と同じである。先の実施の形態と異なるのは、溝径拡大部 2 5 がシリコン酸化膜 1 2 の厚み範囲全体にわたって形成され、キャパシタ C の蓄積電極 2 2 の上面が溝径拡大部 2 5 に位置して広い面積をもって埋め込まれていること、そしてその上部に埋め込みストラップ 2 3 が p 型シリコン層 1 3 の下面のみに接するように形成されていることである。

## 【 0 0 4 8 】

その製造工程を説明すれば、図 1 4 に示すように、キャパシタ用の溝 2 0 を R I E によりエッチングした後、引き続き HF 溶液によりエッチングを行って、シ

リコン酸化膜 1 2 の端面を後退させる。これにより、p 型シリコン層 1 3 の下面 4 3 が露出する溝径拡大部 2 5 が形成される。

#### 【 0 0 4 9 】

この後、図 1 5 に示すように、キャパシタ絶縁膜 2 1 を形成し、多結晶シリコン膜の堆積とエッチバックにより蓄積電極 2 2 を埋め込む。蓄積電極 2 2 の上面は、シリコン酸化膜 1 2 の途中に位置するようにし、その上部にあるキャパシタ絶縁膜はエッチング除去する。

この後は、先の実施の形態 1 と同様である。

#### 【 0 0 5 0 】

この様に、キャパシタ用の溝 2 0 の形成直後に、シリコン酸化膜 1 2 を後退させるエッチングを行うことにより、蓄積電極 2 2 と埋め込みトラップ 2 3 の間の電氣的接続がキャパシタ絶縁膜 2 1 で妨げられることがなく、従ってキャパシタ絶縁膜のエッチング条件や、埋め込みストラップのエッチバック条件に厳しい制御性が要求されることがない。これにより、高歩留まりが得られる。

#### 【 0 0 5 1 】

##### 〔実施の形態 4〕

図 1 6 及び図 1 7 は、別の実施の形態による D R A M セルアレイの平面図とその A - A ' 断面図を、実施の形態 1 の図 1 及び図 2 に対応させて示している。実施の形態 1 と異なる点は、ビット線コンタクト B L C の配置のみである。即ち、実施の形態 1 の場合、一つの島状素子領域 1 4 の両端部にキャパシタ C とトランジスタ Q による D R A M セルが形成され、その間を 2 本の通過ワード線が走るレイアウトにおいて、その 2 本の通過ワード線の間即ち島状素子領域 1 4 の中央部に二つのセルに共通のビット線コンタクト B L C を配置している。

#### 【 0 0 5 2 】

これに対してこの実施の形態では、同様のセルレイアウトにおいて、一つの島状素子領域 1 4 の両端部二つのセルに対するビット線コンタクト B L C をそれぞれ別々に、各セルのワード線の隣接する位置に配置している。

従ってまた、トランジスタの上部  $n^+$  拡散層 3 2 は、島状素子領域 1 4 の全面には必要がなく、ビット線コンタクト B L C の位置のみに形成している。

## 【0053】

この実施の形態によると、ビット線コンタクト数が増えることによりビット線の寄生容量が増える可能性があるが、ビット線からキャパシタまでの抵抗を小さくすることができ、容量と抵抗の積で決まる配線遅延時間を結果的に削減し、データ書き込み、読み出しの速度向上が可能になる。

## 【0054】

## 〔実施の形態5〕

ここまでの実施の形態は、折り返しビット線構造の場合であるが、この発明はオープンビット線方式にも適用できる。図18は、オープンビット線方式の実施の形態によるDRAMセルアレイの平面図であり、図19はそのA-A'断面図である。キャパシタCとトランジスタQの関係、埋め込みストラップ23による上方拡散のみによりトランジスタQの下部 $n^+$ 拡散層31が形成される点等、基本的な特徴は実施の形態1と同様である。従って、実施の形態1と対応する部分には同じ符号を付して詳細な説明は省く。

## 【0055】

オープンビット線方式の場合には、図18に示すように、通過ワード線がない状態で、一つのセル毎に島状素子領域14が形成され、ビット線方向に隣接するセルの間隔は、間に素子分離絶縁膜40を挟んで最小加工寸法程度まで小さくすることができる。

## 【0056】

## 〔実施の形態6〕

図20及び図21は、オープンビット線方式の他の実施の形態によるDRAMセルアレイの平面図とそのA-A'断面図である。実施の形態5との相違は、ビット線BLに沿ってセルの向きを全て同じにただけである。この様に、セルの向きを揃えることにより、セルアレイの繰り返しパターンがより単純になり、リソグラフィ工程のマージンが向上する。従って図に示したように、下部 $n^+$ 型拡散層32が素子分離絶縁膜40まで達するようになるまで微細化することも可能となる。これにより、拡散層容量も低減し、接合リークも抑制することが可能になる。

## 【0057】

## 〔実施の形態7〕

ここまでの実施の形態では、縦型トランジスタQの基板電位は考えていない。各島状素子領域14のp型シリコン層13は、底部のシリコン酸化膜12と素子分離絶縁膜40により他の領域から絶縁分離されており、このままではフローティングになるため、動作不安定の原因になる。

図22は、基板電位を固定することを可能とした実施の形態のDRAMセルアレイの平面図であり、図23はそのA-A'断面図である。

## 【0058】

このDRAMセルアレイ構造は、図16及び図17を基本とするもので、ビット線コンタクトBLCを各セルの直近位置に配置する構成としている。そして、各島状素子領域14の中央部、即ちパスワード線のスペースを利用して、p型シリコン層13の電位固定のためのボディコンタクトBDCを配置している。そして、各ボディコンタクトBDCを連結するボディ配線(BDL)52を、パスワード線の間に配設している。

## 【0059】

具体的な製造工程としては、ビット線コンタクトBLCを形成する工程の前に、通過ワード線の間に、ボディコンタクトBDCの領域にコンタクト孔を開け、ここにコンタクト層51を埋め込む。好ましくは、図23に示すように、コンタクト底部をリセスエッチングし、 $p^+$ 型層53を形成した後に、p型不純物を含む多結晶シリコン等のコンタクト層51を埋め込む。更にこのコンタクト層51をワード線方向に連結する、p型不純物がドーブされた多結晶シリコンやW等の低抵抗配線材料によりボディ配線52をパスワード線の間に埋め込む。

## 【0060】

この様に、ボディ配線52を埋め込み形成して、p型シリコン層13に基板電位を与えることにより、トランジスタの安定動作が可能になる。図23では、コンタクト孔をリセスエッチングしてコンタクト層51を埋め込んでいるが、これはパスワード線を挟んで隣接する二つのセル間のリークを低減する上で有効である。



## 【 0 0 6 1 】

## 〔実施の形態 8〕

図 2 4 は、図 2 3 の実施の形態を基本として、これを少し変形した実施の形態である。即ち、ボディコンタクト BDC のコンタクト層 5 1 の周囲に素子分離絶縁膜 4 0 より浅い分離用絶縁膜 5 4 を埋め込んでいる。この構造は、実施の形態 1 の製造工程において、STI 法による素子分離溝のエッチング工程後に、続けて分離用絶縁膜 5 4 を埋め込むための浅い分離溝エッチングを行い、素子分離絶縁膜 4 0 と同時に分離用絶縁膜 5 4 を埋め込むことで得られる。或いは深い STI と浅い STI を別々に分けて形成してもよい。

## 【 0 0 6 2 】

この様なボディコンタクト構造とすれば、トランジスタの基板電位を固定することができ、パスワード線の下に形成されるチャネルや空乏層に起因するボディコンタクト BDC 部の接合リークが効果的に抑制される。また、パスワード線を挟んで隣接する二つのセル間のリークを低減する上でも、実施の形態 7 より好ましい。またこの構造では、 $n^+$ 型拡散層 3 2 を図 2 と同様に、島状素子領域 1 4 の全面に形成しても差し支えない。

## 【 0 0 6 3 】

## 〔実施の形態 9〕

図 2 5 は、ボディコンタクト配線を配設することなく、セルアレイ領域の周辺でトランジスタの基板電位を固定することを可能とした実施の形態である。これは、実施の形態 1 の図 2 の構造を基本としている。図 2 と異なる点は、STI により形成される素子分離絶縁膜 4 0 の深さを、p 型シリコン層 1 3 の厚み未満、従ってシリコン酸化膜 1 2 に達しない深さとしている点である。これにより、各島状素子領域 1 4 は、完全には絶縁分離されず、p 型シリコン層 1 3 の底部で互いに連結された状態となる。

## 【 0 0 6 4 】

但しこの場合、埋め込みストラップ 2 3 から p 型シリコン層 1 3 への上方拡散により形成される  $n^+$ 型拡散層 3 1 が溝 2 0 の全周で形成されると、ビット線方向に隣接するセルの間で短絡を生じ、或いは短絡しなくてもリークが増大するお

それがある。そこで、埋め込みストラップ 2 3 の埋め込み前に、その部分の溝 2 0 には、 $n^+$ 型拡散層 3 1 の形成が必要な一辺を除く残りの 3 辺に側壁絶縁膜 6 1 を形成している。

#### 【0 0 6 5】

具体的には、図 2 6 に示すように、キャパシタ C の蓄積電極 2 2 を埋め込んだ後、溝 2 0 の上部側壁にキャパシタ絶縁膜 2 1 より厚いシリコン酸化膜等の側壁絶縁膜 6 1 を形成する。このときの平面図を示すと、図 2 7 (a) のようになる。この後、図 2 7 (b) に示すように、側壁絶縁膜 6 1 のうち、後に埋め込みストラップからの不純物拡散を行う一辺部のみを選択的にエッチング除去して、3 辺にだけ残す。この後、実施の形態 1 と同様の工程で埋め込みストラップ 2 3 を形成する。

#### 【0 0 6 6】

この実施の形態によると、ボディコンタクト配線を形成することなく、セルアレイ周辺で基板電位を固定することができる。

#### 【0 0 6 7】

この発明は、上記実施の形態に限られない。即ち上記実施の形態では、D R A Mセルアレイに適用した場合を説明したが、その縦型トランジスタの集積化構造及びその製造方法は、チャネル長の制御性に優れているという特徴を有するものであり、この意味で D R A Mセルアレイに限らず、他の半導体メモリや論理集積回路等に適用しても有効である。

#### 【0 0 6 8】

##### 【発明の効果】

以上述べたようにこの発明によれば、S O I 基板を用いて、溝の側面に形成される縦型トランジスタのソース、ドレインは、半導体層の下面から上方への不純物拡散と上面から下方への不純物拡散により形成されるようにしている。従って、チャネル長は半導体層の厚みと上下面からの不純物拡散深さにより決まり、特性のばらつきのない優れた縦型トランジスタが得られる。

##### 【図面の簡単な説明】

##### 【図 1】

この発明の実施の形態による D R A M セルアレイの平面図である。

【図 2】

図 1 の A - A ' 断面図である。

【図 3】

図 1 の B - B ' 断面図である。

【図 4】

同実施の形態の製造工程を説明するための断面図である。

【図 5】

同実施の形態の製造工程を説明するための断面図である。

【図 6】

同実施の形態の製造工程を説明するための断面図である。

【図 7】

同実施の形態の製造工程を説明するための断面図である。

【図 8】

同実施の形態の製造工程を説明するための断面図である。

【図 9】

同実施の形態の製造工程を説明するための断面図である。

【図 1 0】

他の実施の形態による D R A M セルアレイの図 2 に対応する断面図である。

【図 1 1】

同実施の形態の製造工程を説明するための断面図である。

【図 1 2】

同実施の形態の製造工程を説明するための断面図である。

【図 1 3】

他の実施の形態による D R A M セルアレイの図 2 に対応する断面図である。

【図 1 4】

同実施の形態の製造工程を説明するための断面図である。

【図 1 5】

同実施の形態の製造工程を説明するための断面図である。

【図 1 6】

他の実施の形態による D R A M セルアレイの図 1 に対応する平面図である。

【図 1 7】

図 1 6 の A - A ' 断面図である。

【図 1 8】

他の実施の形態による D R A M セルアレイの図 1 に対応する平面図である。

【図 1 9】

図 1 8 の A - A ' 断面図である。

【図 2 0】

他の実施の形態による D R A M セルアレイの図 1 に対応する平面図である。

【図 2 1】

図 2 0 の A - A ' 断面図である。

【図 2 2】

他の実施の形態による D R A M セルアレイの図 1 に対応する平面図である。

【図 2 3】

図 2 2 の A - A ' 断面図である。

【図 2 4】

他の実施の形態による D R A M セルアレイの図 2 3 に対応する断面図である。

【図 2 5】

他の実施の形態による D R A M セルアレイの図 2 3 に対応する断面図である。

【図 2 6】

同実施の形態の製造工程を説明するための断面図である。

【図 2 7】

同実施の形態の製造工程を説明するための平面図である。

【図 2 8】

従来の縦型トランジスタを用いた D R A M セルアレイの断面図である。

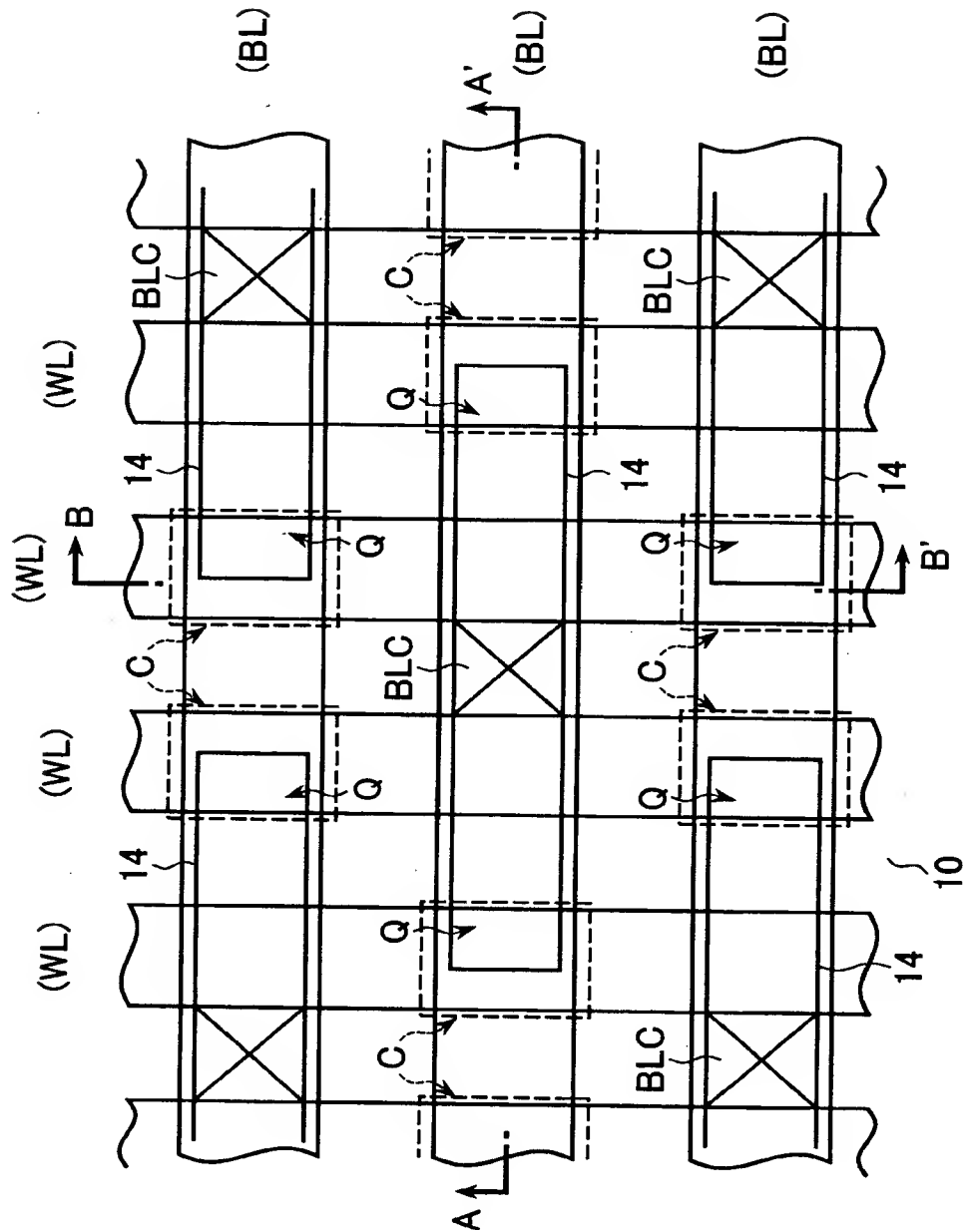
【符号の説明】

1 0 … S O I 基板、 1 1 … n 型シリコン基板、 1 2 … シリコン酸化膜、 1 3 …  
p 型シリコン層、 1 4 … 島状素子領域、 2 0 … 溝、 2 1 … キャパシタ絶縁膜、 2

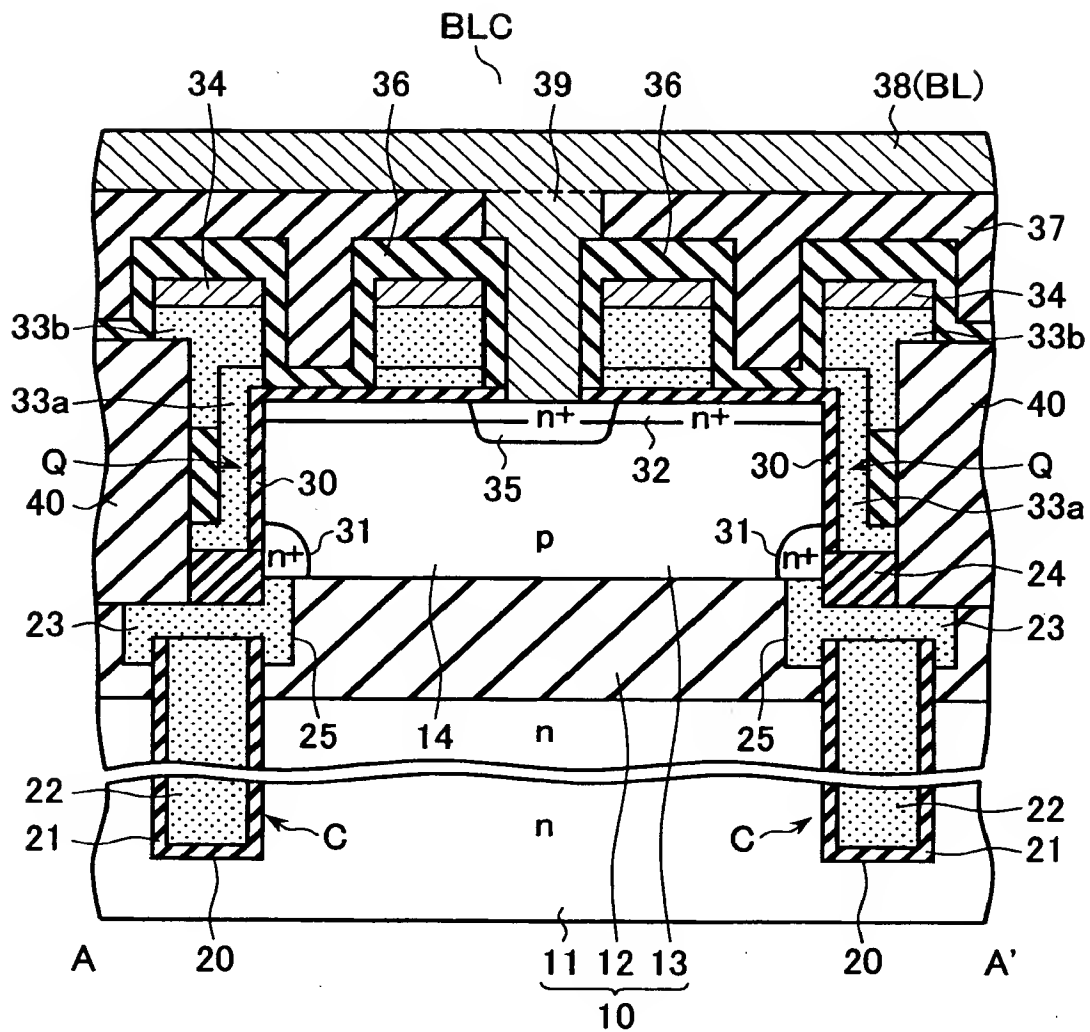
2…蓄積電極、23…埋め込みストラップ、24…キャップ絶縁膜、25…溝径  
拡大部、30…ゲート絶縁膜、31, 32, 35… $n^+$ 型拡散層、33a, 33  
b…多結晶シリコン膜、34…WSi<sub>2</sub>膜、36…シリコン窒化膜、37…層間  
絶縁膜、38…ビット線、40…素子分離絶縁膜、C…キャパシタ、Q…トラン  
ジスタ。

【書類名】 図面

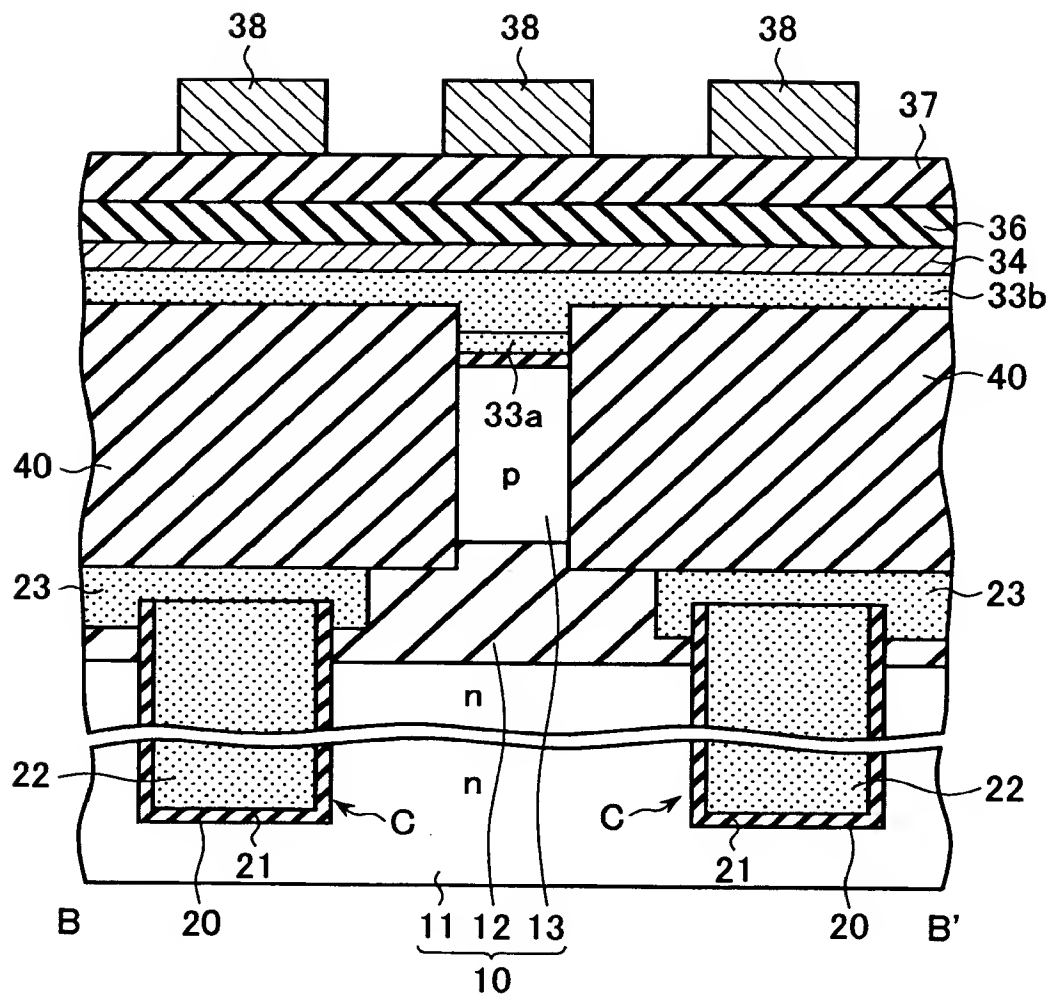
【図 1】



【図 2】



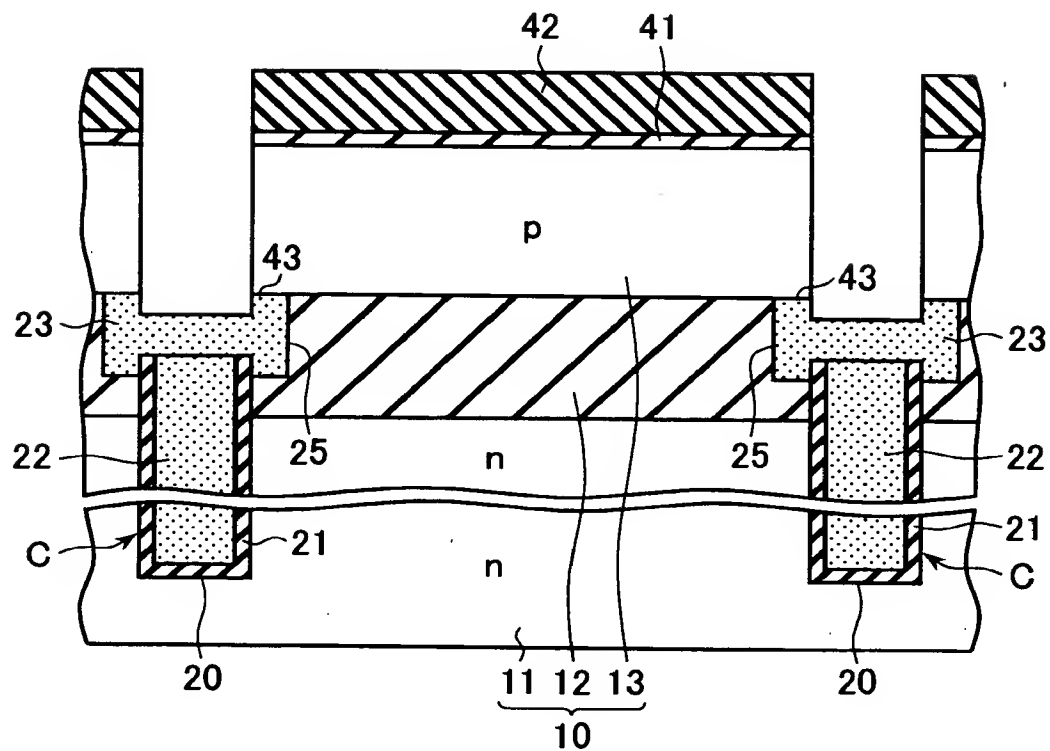
【図 3】



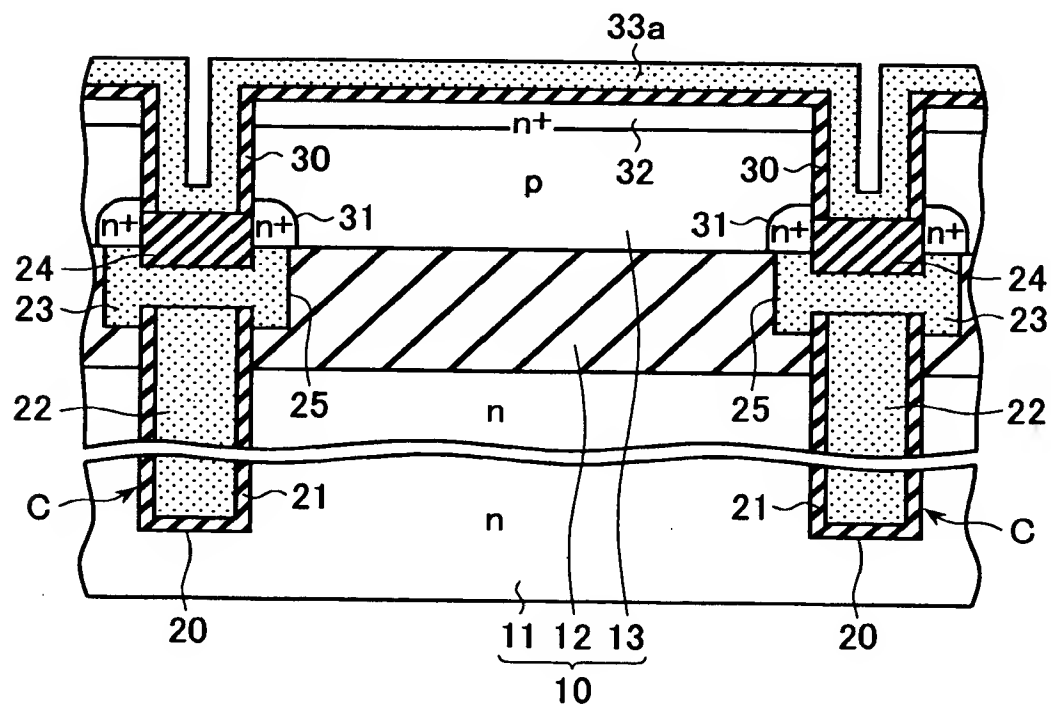




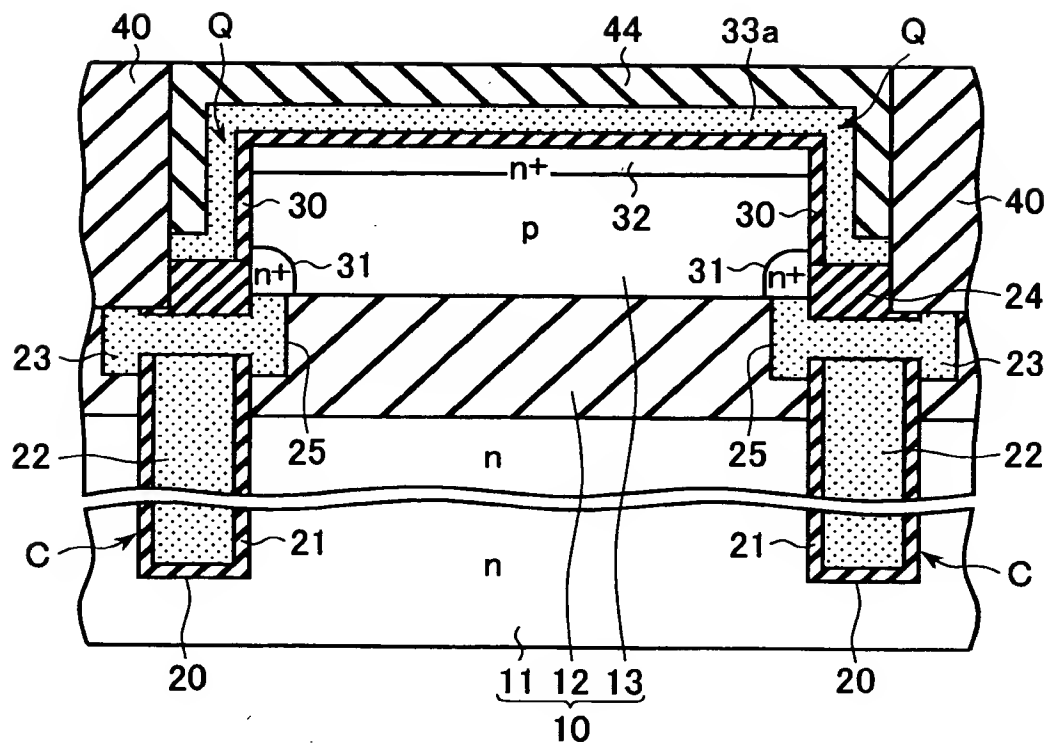
【図 6】



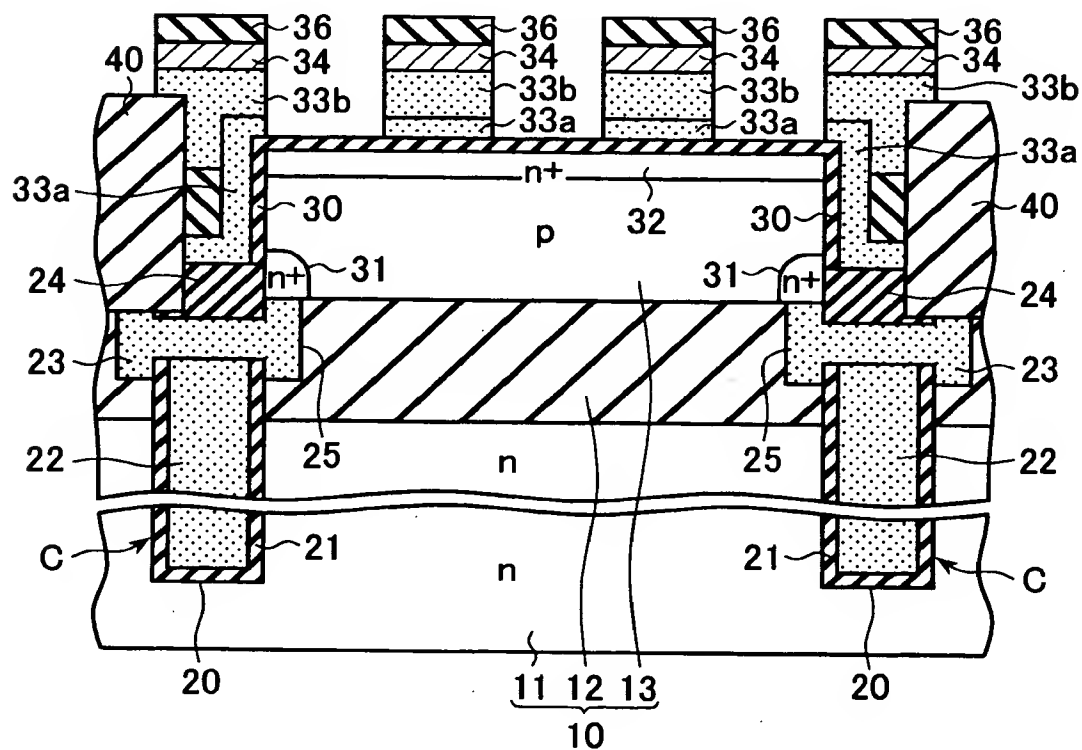
【図 7】



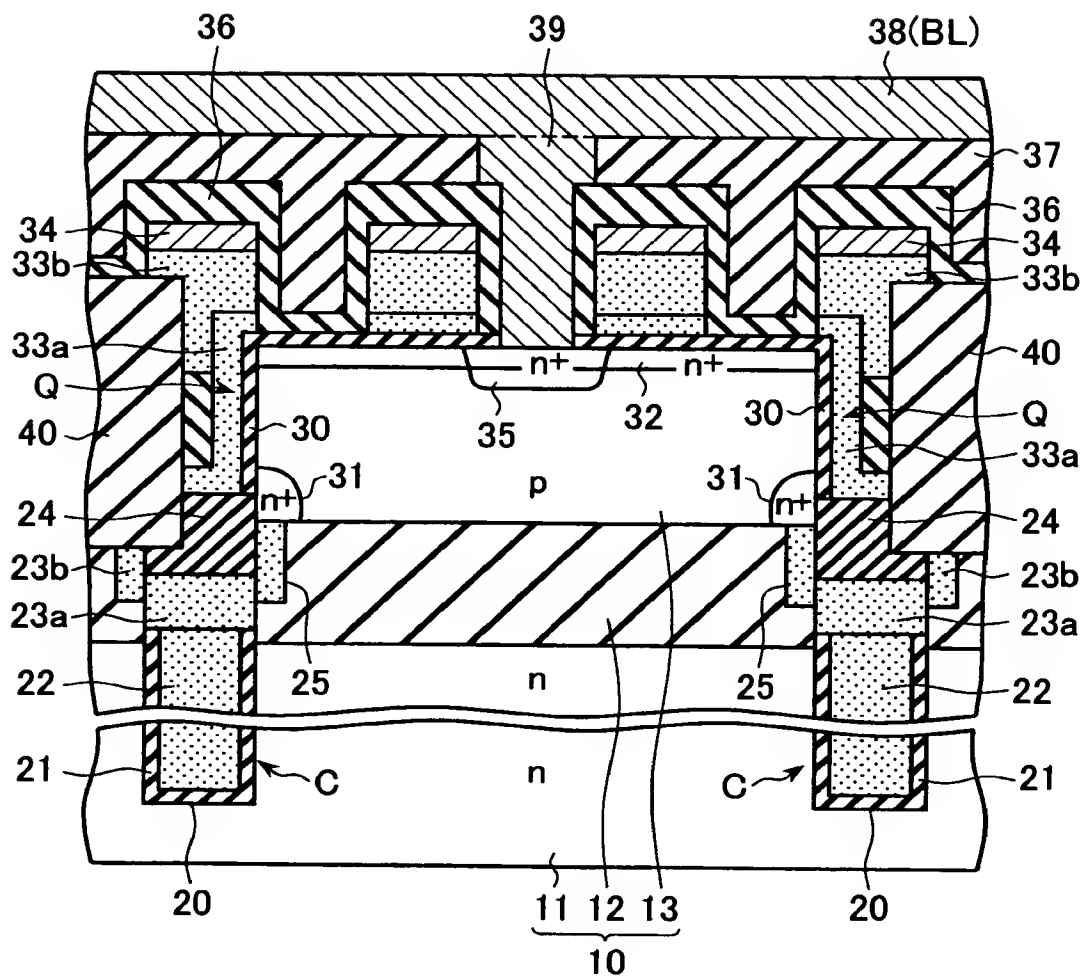
【図 8】



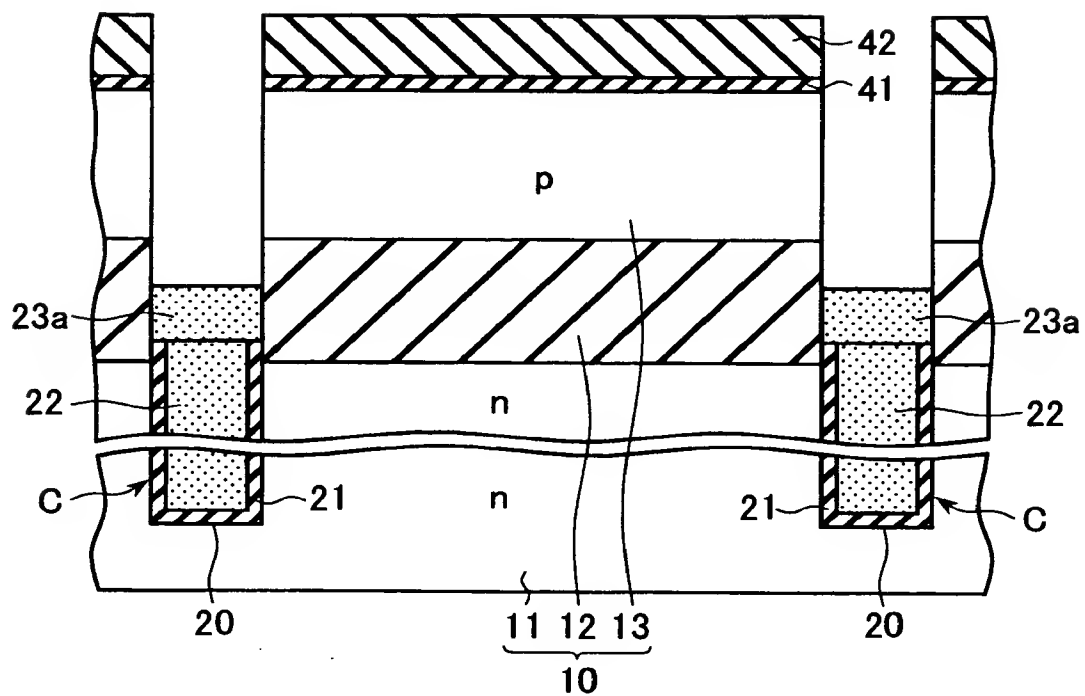
【図 9】



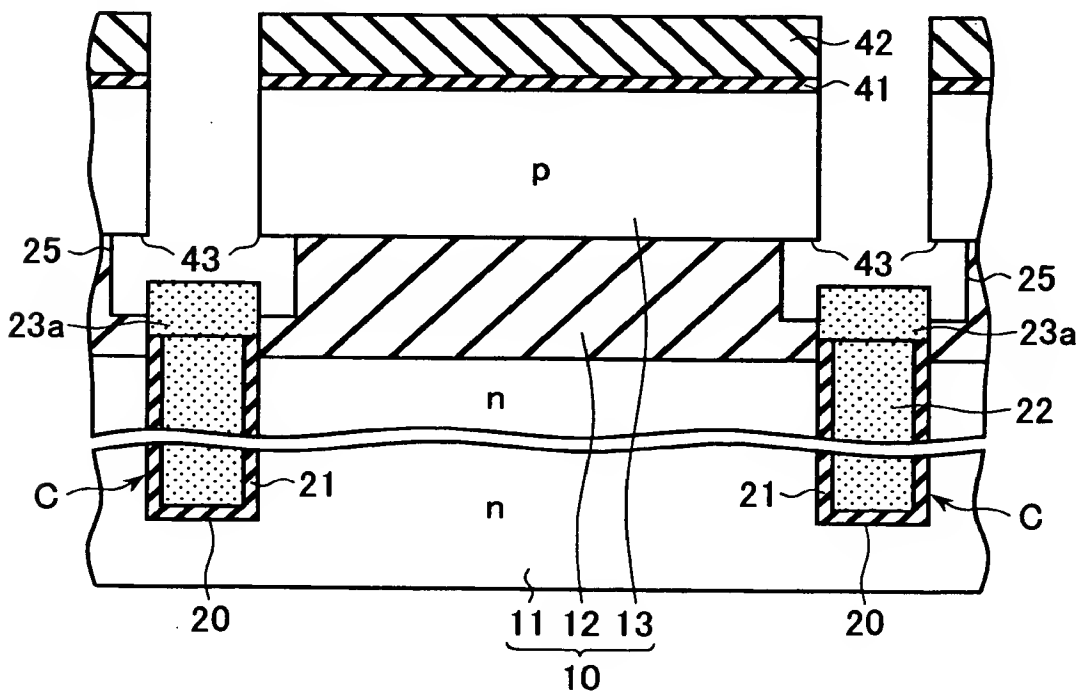
【図10】



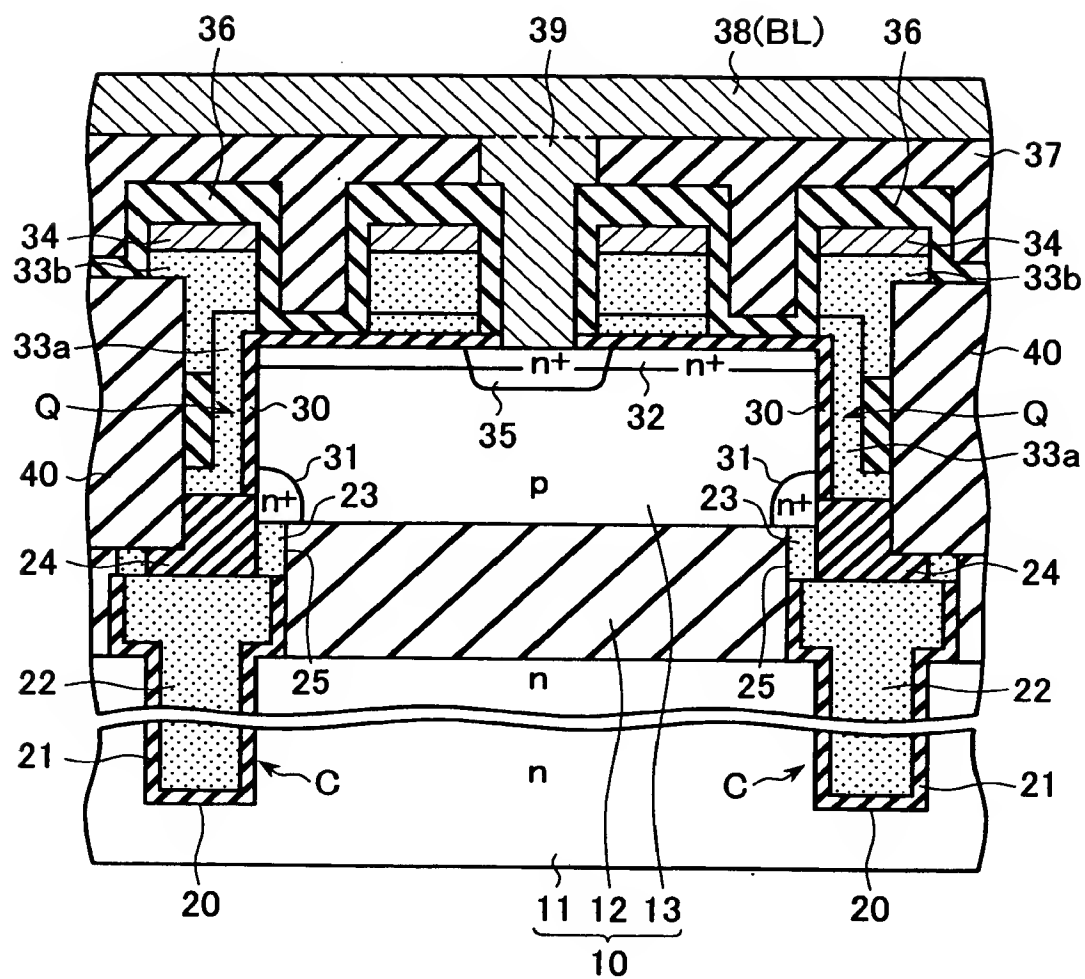
【図 1 1】



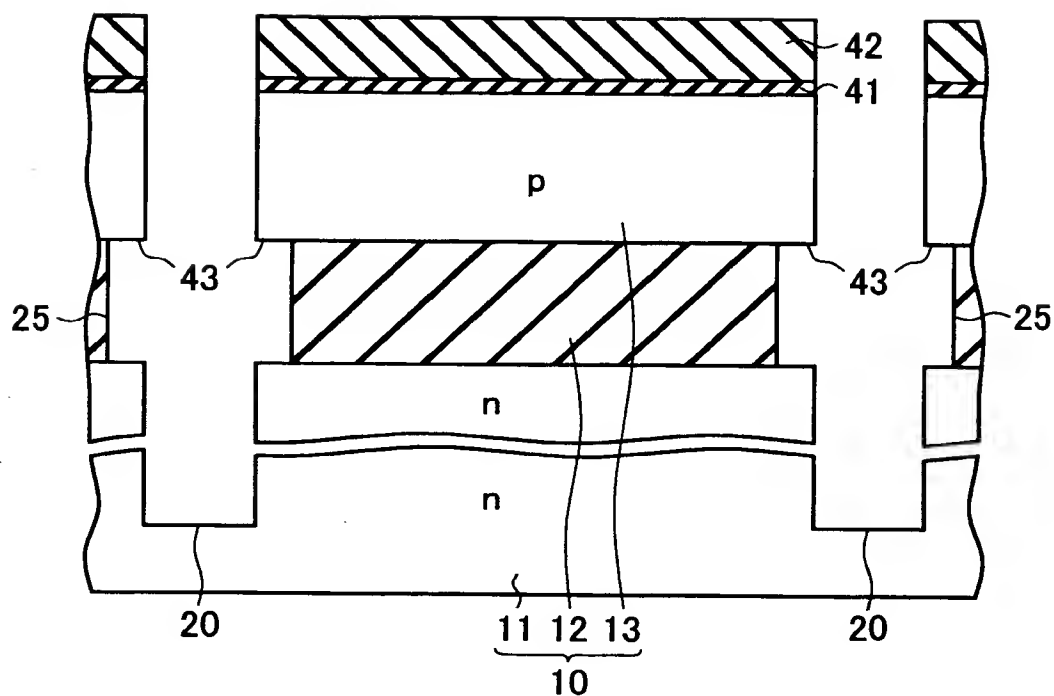
【図 1 2】



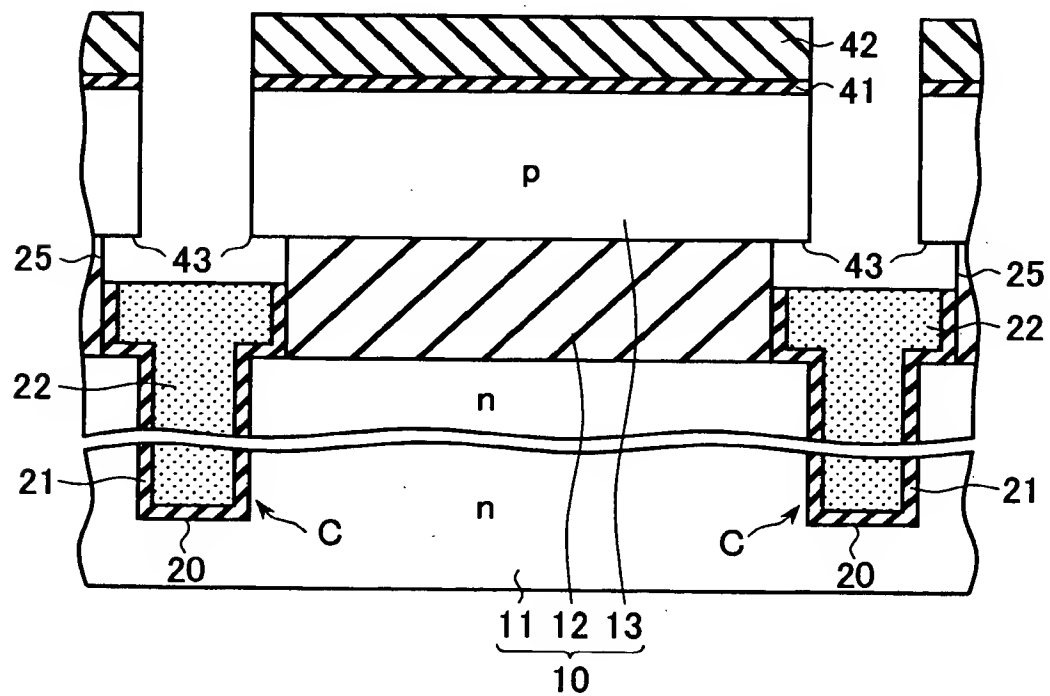
【図 13】



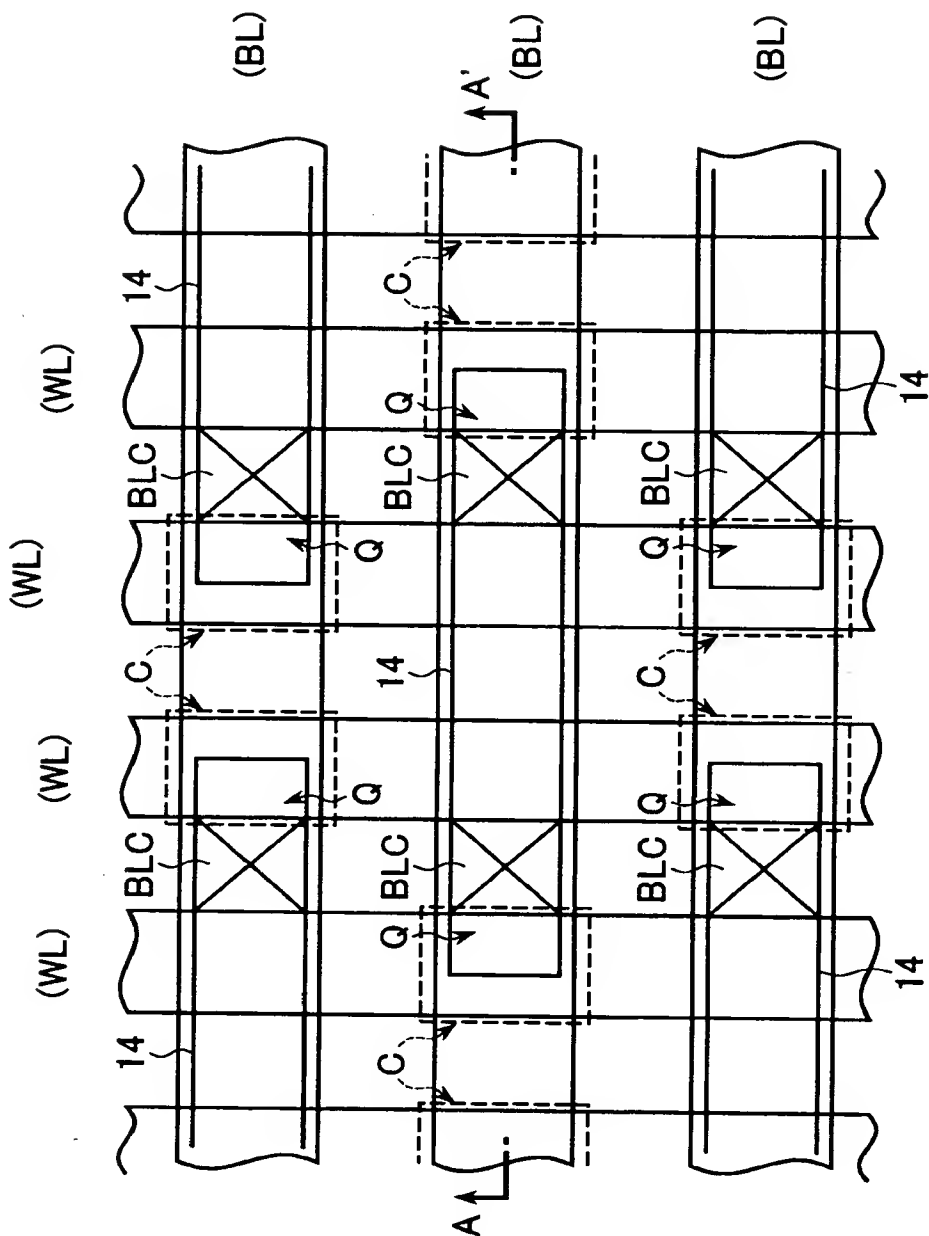
【図 14】



【図 15】

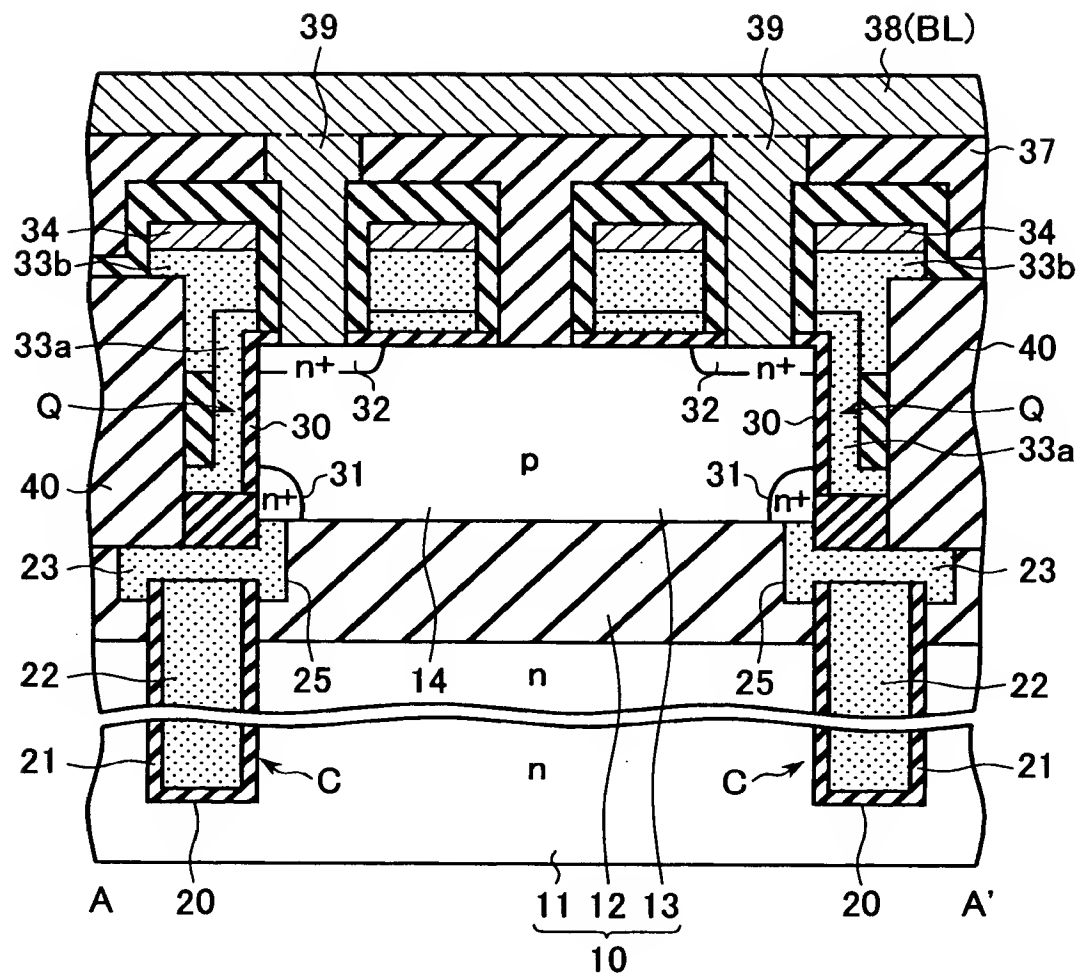


【図 16】

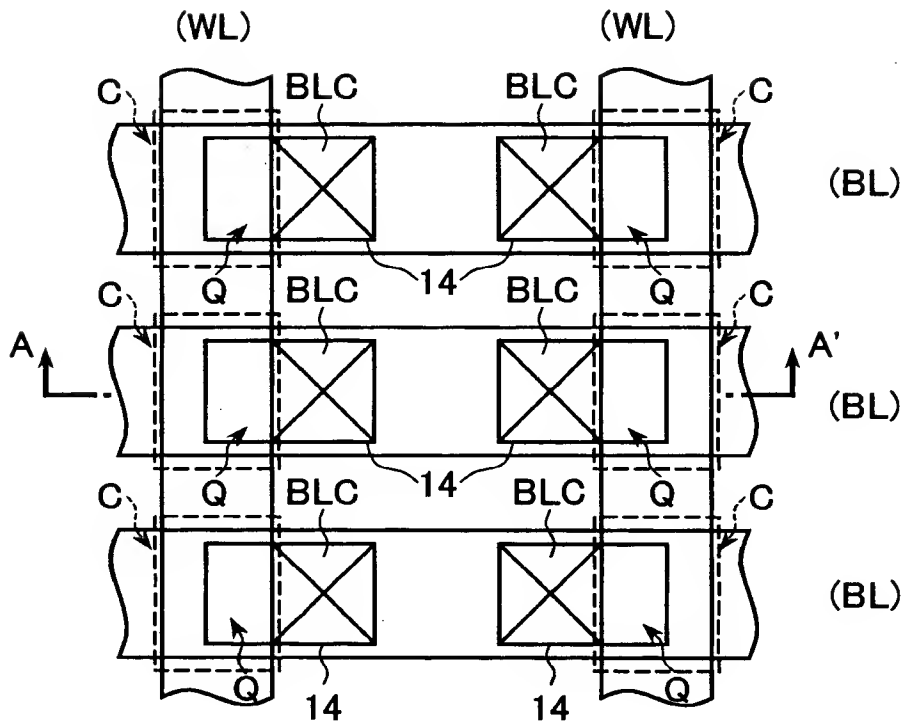




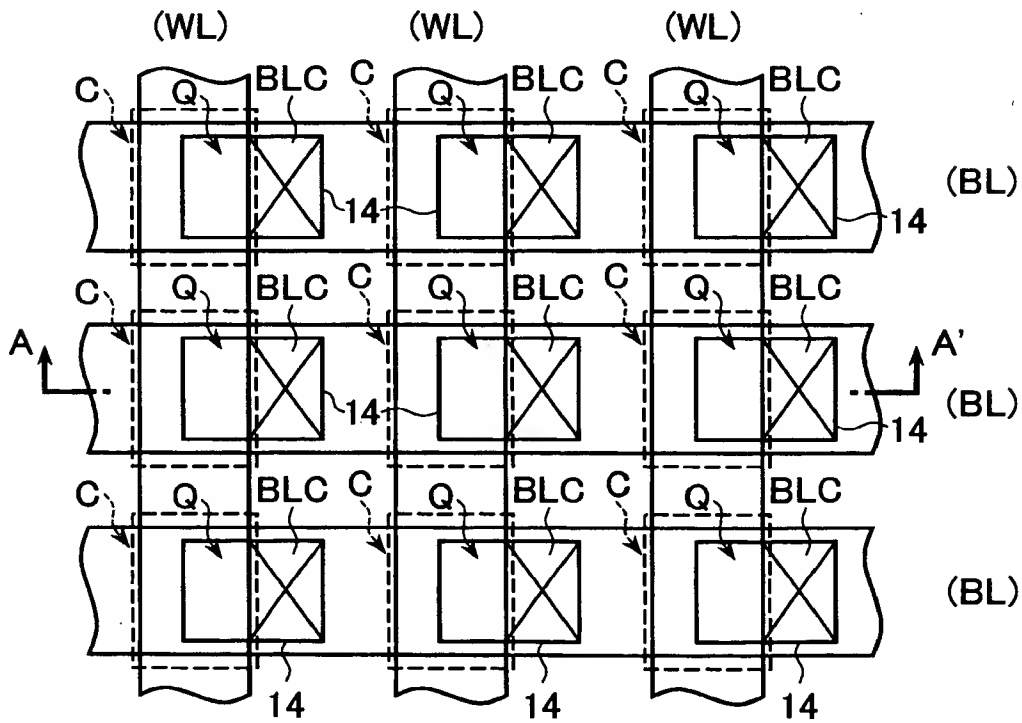
【図 17】



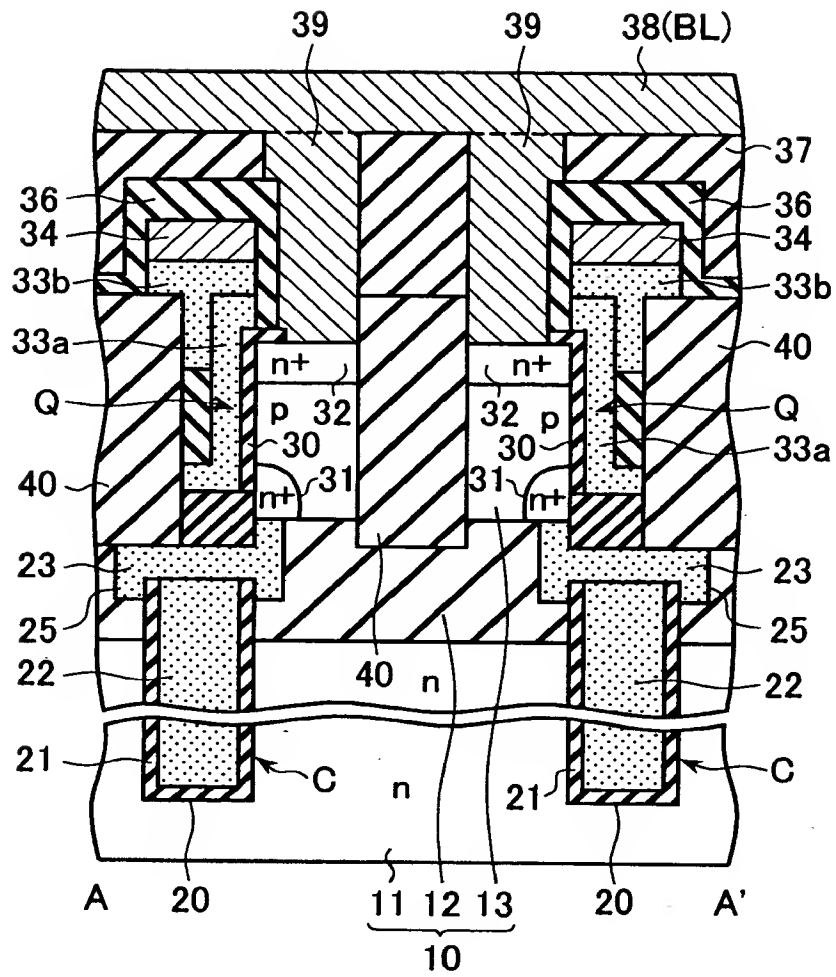
【図 18】



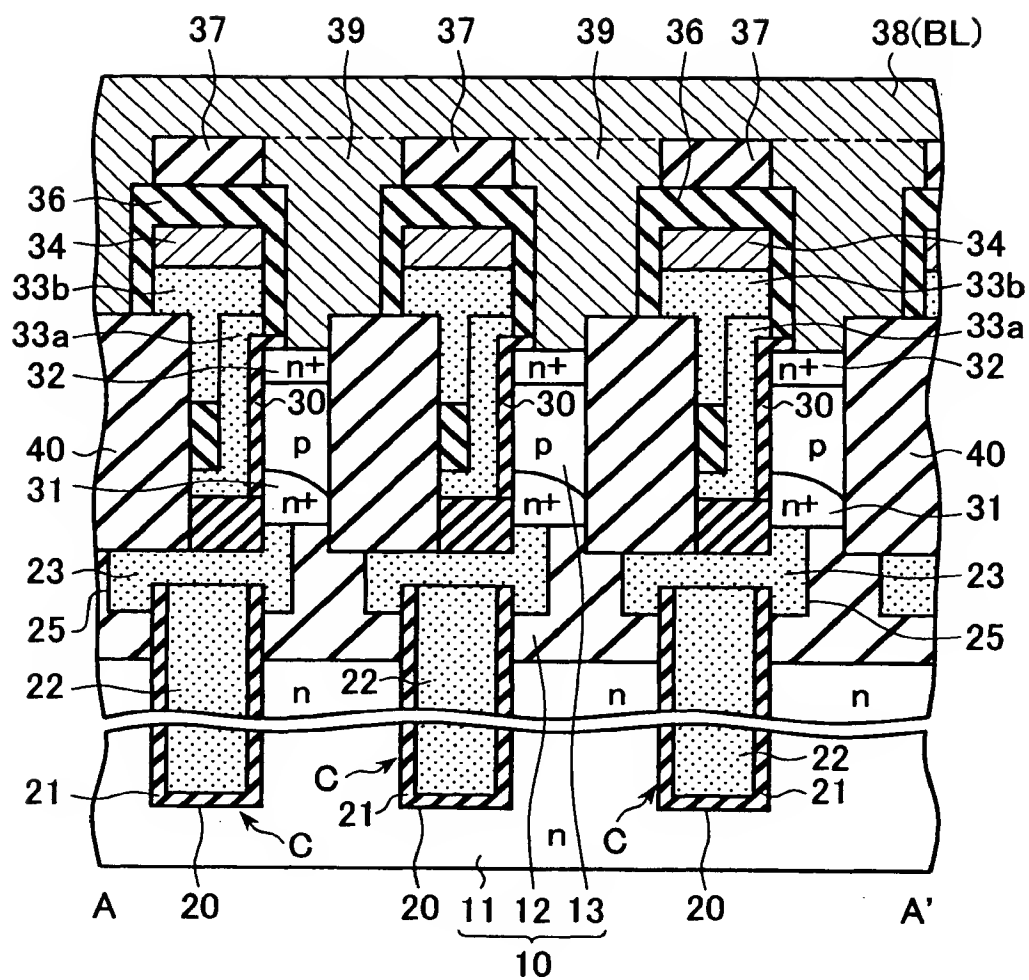
【図 20】



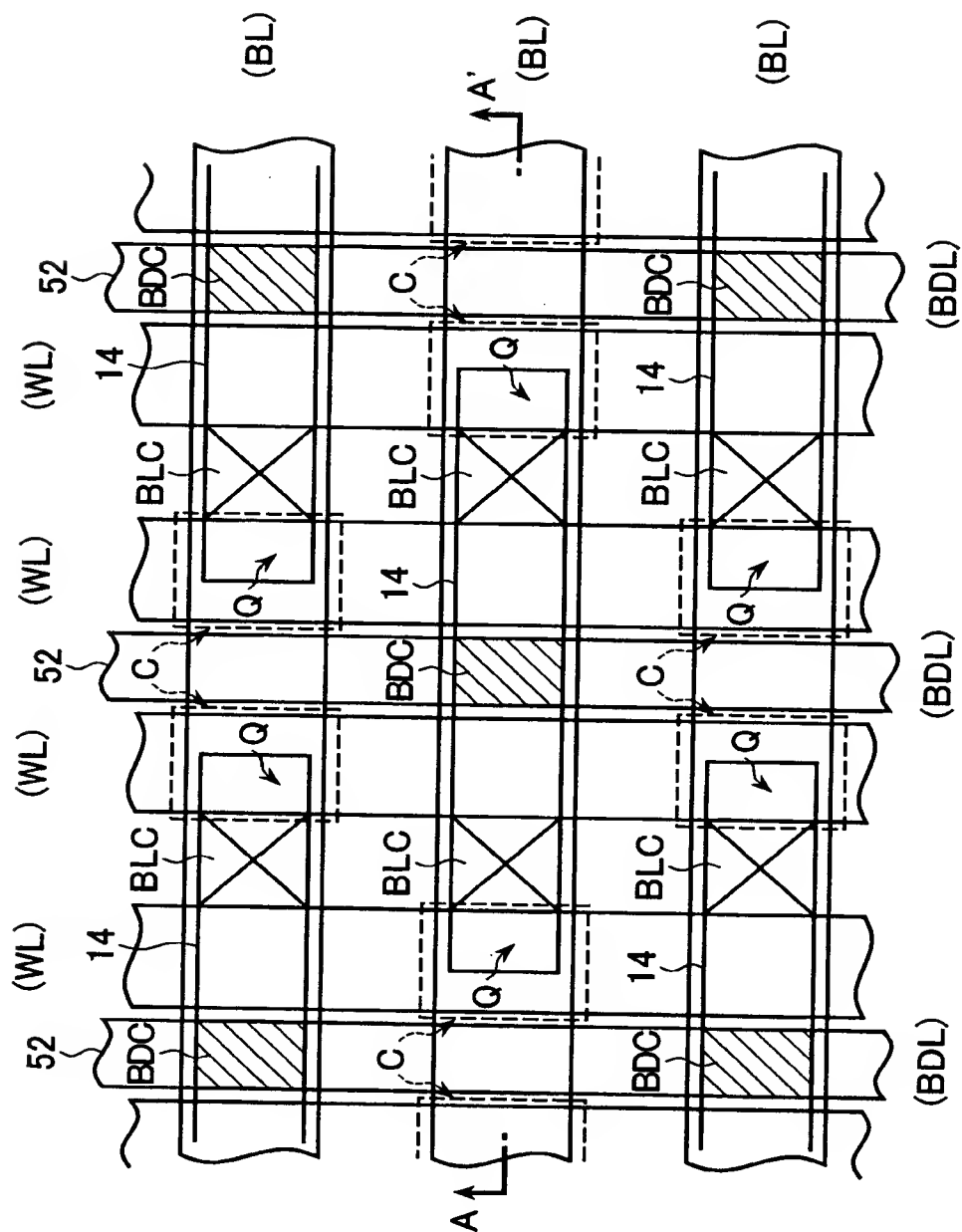
【図19】



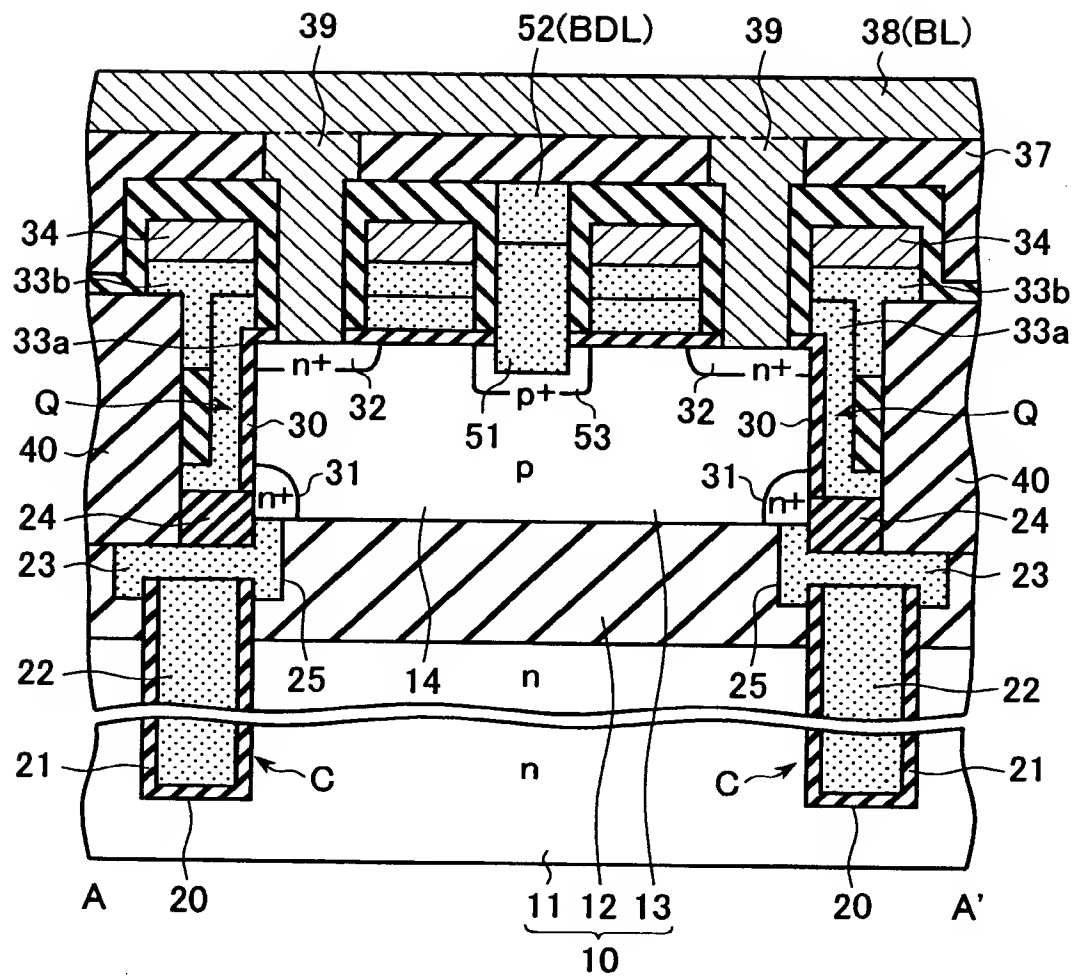
【図 2 1】



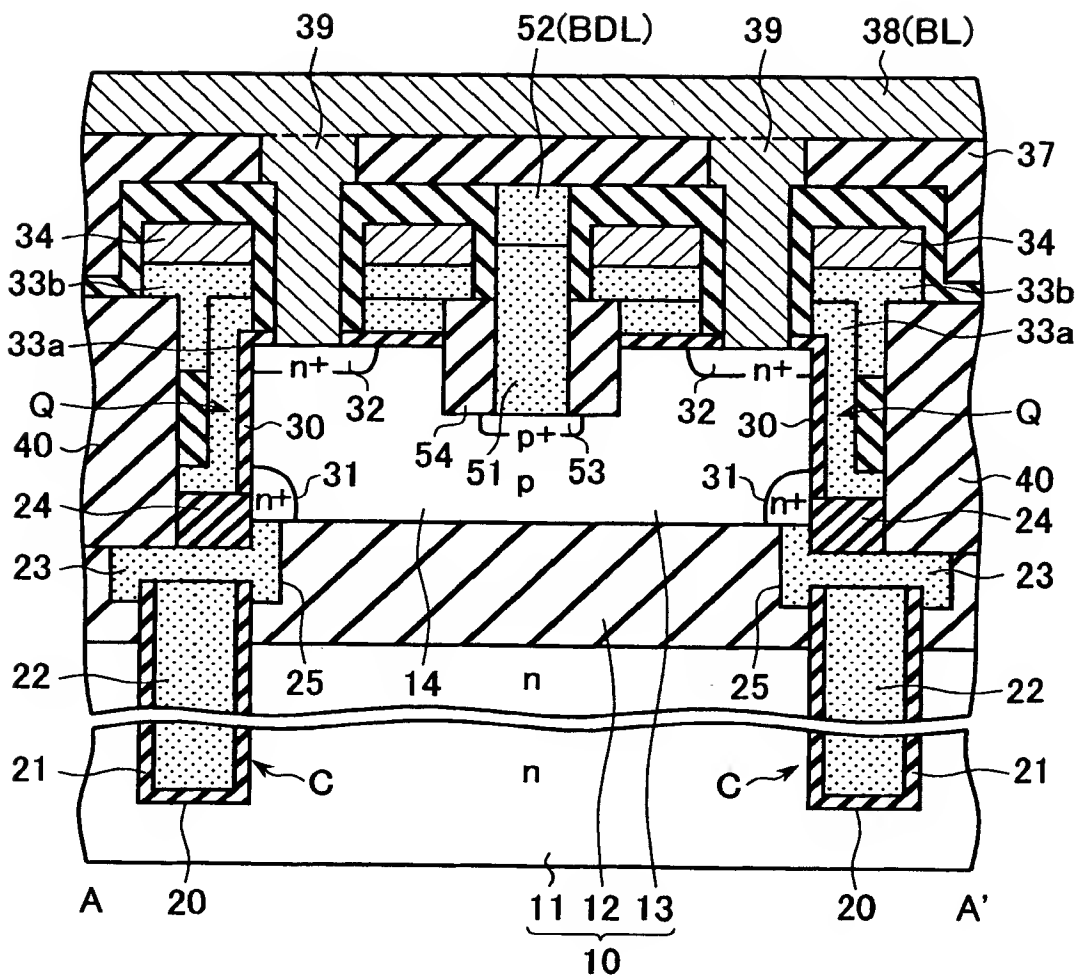
【圖 22】



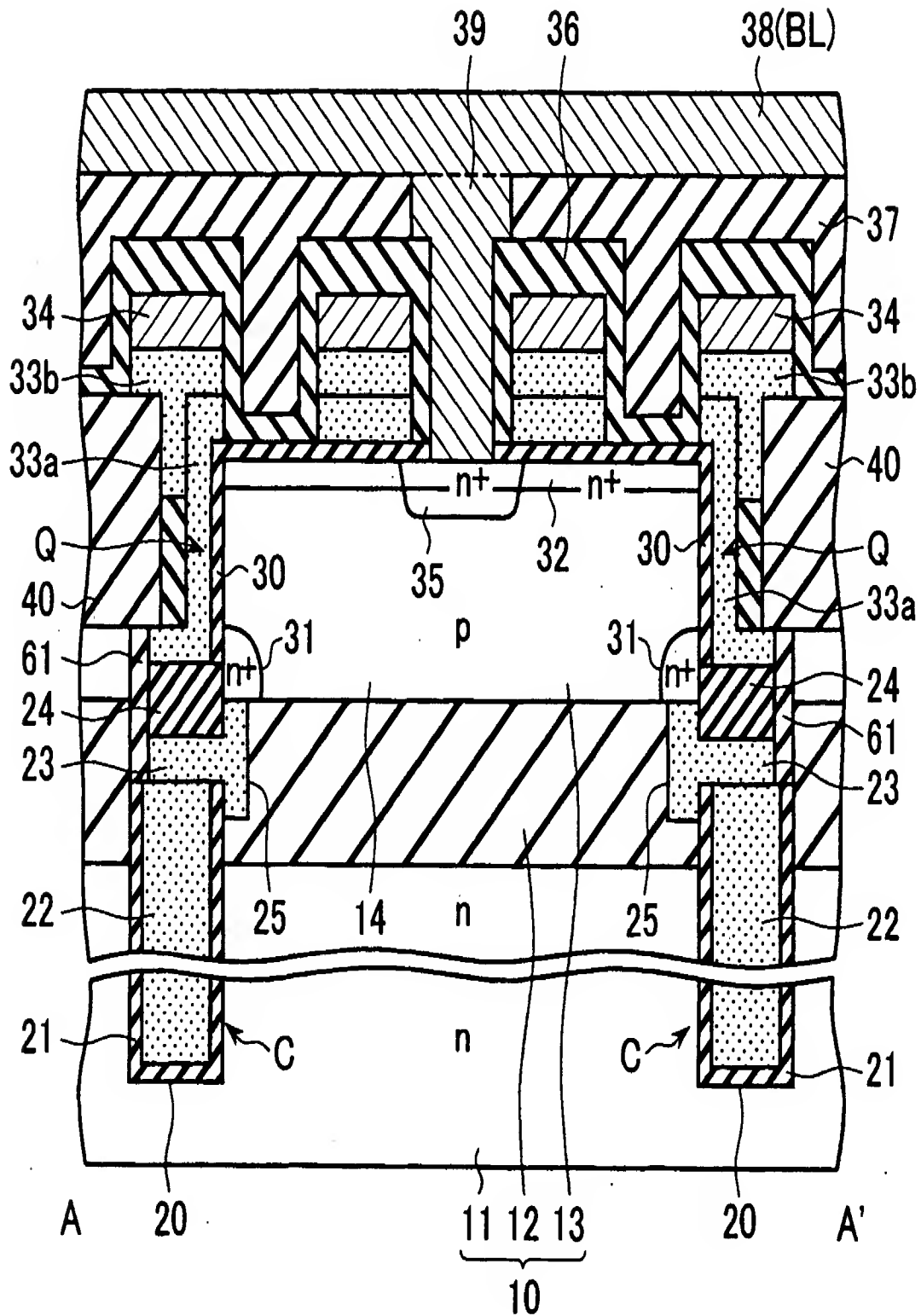
【图 2 3】



【図 24】

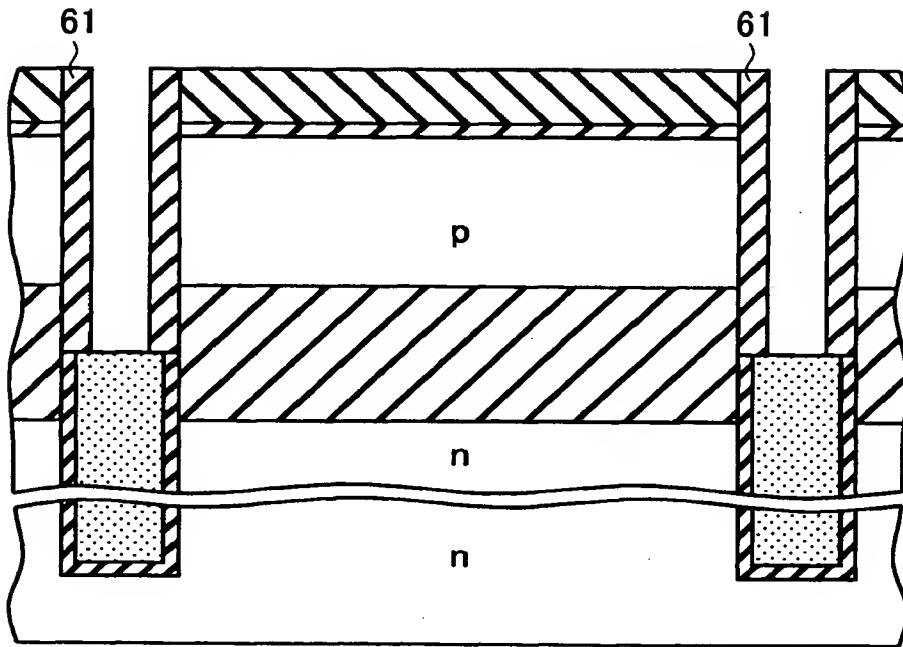


【図25】

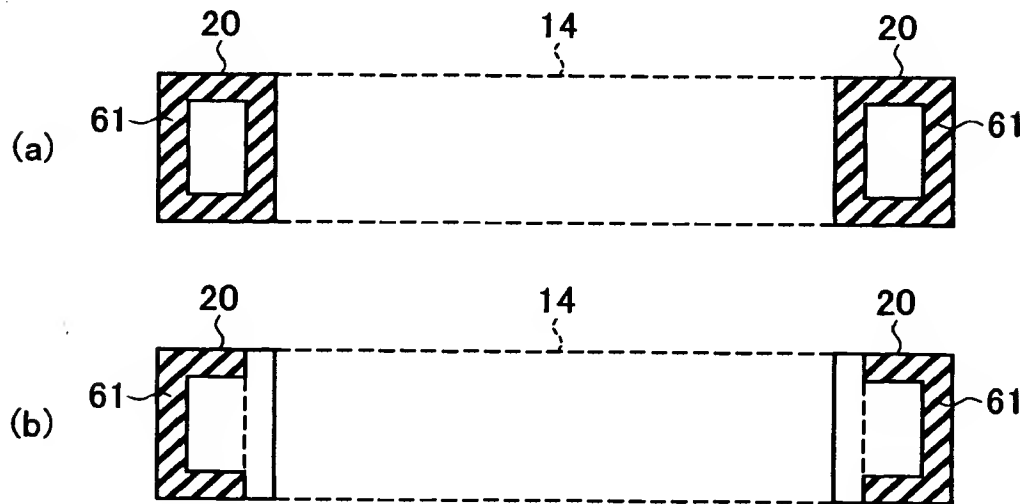




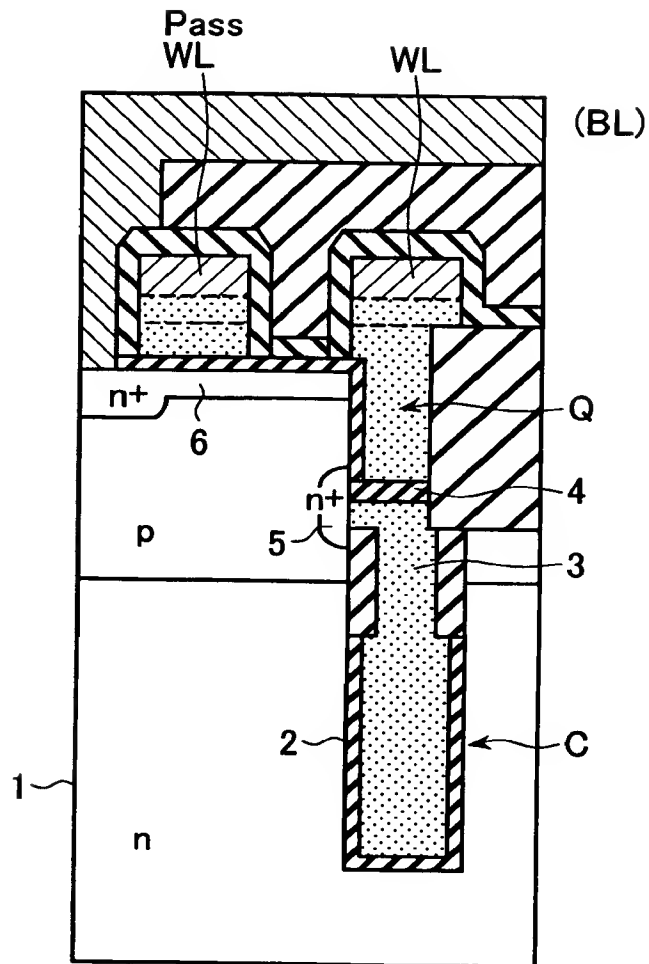
【図 26】



【図 27】



【図 28】



【書類名】 要約書

【要約】

【課題】 特性のばらつきが小さい縦型トランジスタを持つ半導体装置とその製造方法を提供する。

【解決手段】 n型シリコン基板11にシリコン酸化膜12を介してp型シリコン層13が形成されたSOI基板10に、基板11に達する溝20を形成し、その溝20の下部にトレンチキャパシタCを形成する。キャパシタCの蓄積電極22の上部の溝20に露出するシリコン酸化膜12をエッチングして溝径拡大部25を形成し、ここに埋め込みストラップ23をp型シリコン層13に対してその下面のみに接するように埋め込む。埋め込みストラップ23の上をキャップ絶縁膜24で覆い、その上の溝20の側面に縦型トランジスタQを形成する。トランジスタQのソース、ドレインは、埋め込みストラップ23からp型シリコン層13への上方拡散による $n^+$ 型拡散層31とp型シリコン層13の上面の $n^+$ 型拡散層32により構成する。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日  
[変更理由] 新規登録  
住 所 神奈川県川崎市幸区堀川町72番地  
氏 名 株式会社東芝
2. 変更年月日 2001年 7月 2日  
[変更理由] 住所変更  
住 所 東京都港区芝浦一丁目1番1号  
氏 名 株式会社東芝